

535, 182

(2)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



Rec'd PCT/PTO

17 MAY 2005



(43) 国際公開日
2004 年 6 月 3 日 (03.06.2004)

PCT

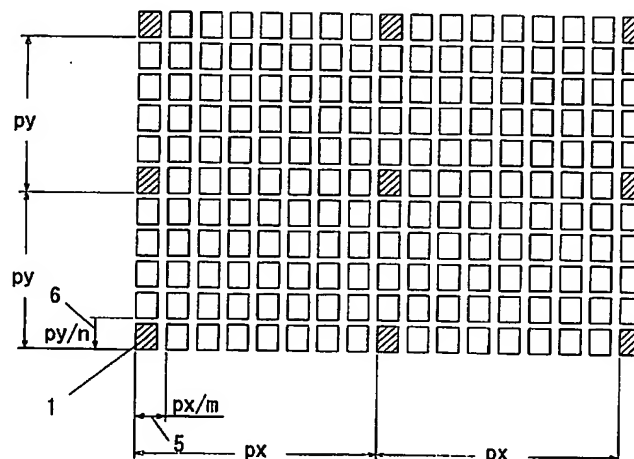
(10) 国際公開番号
WO 2004/047057 A1

- (51) 国際特許分類⁷: G09F 9/30, G02F 1/1368, H05B 33/10, 33/14 千920-0022 石川県 金沢市 北安江 1 丁目 3 番 2 4 号 Ishikawa (JP).
- (21) 国際出願番号: PCT/JP2003/014702 (71) 出願人 および (72) 発明者: 松村 英樹 (MATSUMURA,Hideki) [JP/JP]; 千921-8134 石川県 金沢市 南四十万 3 丁目 9 3 番地 Ishikawa (JP).
- (22) 国際出願日: 2003 年 11 月 19 日 (19.11.2003) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 木田 健一郎 (KIDA,Kenichiro) [JP/JP]; 千924-0823 石川県 松任市 坊丸町 3 番地 Ishikawa (JP). 南 茂平 (MINAMI,Shigehira) [JP/JP]; 千921-8178 石川県 金沢市 寺地 1 丁目 1 9-1 0 Ishikawa (JP).
- (25) 国際出願の言語: 日本語 (74) 代理人: 木森 有平 (KIMORI,Yuhei); 千920-0024 石川県 金沢市 西念 4 丁目 4 番 2 5 号西村ビル 2 0 5 号 木森国際特許事務所 Ishikawa (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
- (30) 優先権データ:
特願 2002-334604 2002 年 11 月 19 日 (19.11.2002) JP
特願 2003-33289 2003 年 2 月 12 日 (12.02.2003) JP
特願 2003-196610 2003 年 7 月 14 日 (14.07.2003) JP
特願 2003-301478 2003 年 8 月 26 日 (26.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 石川製作所 (ISHIKAWA SEISAKUSHO,LTD.) [JP/JP];

[続葉有]

(54) Title: PIXEL CONTROL ELEMENT SELECTION TRANSFER METHOD, PIXEL CONTROL ELEMENT MOUNTING DEVICE USED FOR PIXEL CONTROL ELEMENT SELECTION TRANSFER METHOD, WIRING FORMATION METHOD AFTER PIXEL CONTROL ELEMENT TRANSFER, AND PLANAR DISPLAY SUBSTRATE

(54) 発明の名称: 画素制御素子の選択転写方法、画素制御素子の選択転写方法に使用される画素制御素子の実装装置、画素制御素子転写後の配線形成方法、及び、平面ディスプレイ基板



(57) Abstract: There is provided a transfer method for selectively transferring pixel control elements onto a planar display substrate. The method can mount prepared pixel control elements easily, accurately, without waste, and at low cost. A plenty of pixel control elements (1) are formed at a pitch (5, 6) obtained by dividing the pitch (105, 106) of the planar display substrate (100) by a natural number. Pixel control elements (1) corresponding to the pitch (105, 106) of the planar display substrate (100) are selectively picked up. The pixel control elements (1) are held by plastic deformation of a transparent thermoplastic resin film (101) formed on the planar display substrate (100) and peripheries of the pixel control elements (1) are fixed by a transparent ultraviolet ray hardening resin film (104).

[続葉有]

WO 2004/047057 A1



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 平面ディスプレイ基板に画素制御素子を選択的に転写するにあたり、作製した画素制御素子を無駄なく実装することができる容易で正確かつ安価な転写方法を提供する。平面ディスプレイ基板 (100) のピッチ (105, 106) を自然数で叙したピッチ (5, 6) にて画素制御素子 (1) を多数形成し、平面ディスプレイ基板 (100) のピッチ (105, 106) に対応する画素制御素子 (1) を選択的にピックアップし、平面ディスプレイ基板 (100) 上に形成した透明熱可塑性樹脂フィルム (101) の塑性変形により画素制御素子 (1) を保持させ、透明紫外線硬化樹脂膜 (104) により画素制御素子 (1) の周辺を固定する。

明 細 書

画素制御素子の選択転写方法、画素制御素子の選択転写方法に使用される画素制御素子の実装装置、画素制御素子転写後の配線形成方法、及び、平面ディスプレイ基板

5

技術分野

本発明は、液晶ディスプレイや有機ELディスプレイ等の平面ディスプレイ基板に、薄膜トランジスタなどの画素制御素子が予め複数形成された基板から選択転写する画素制御素子の選択転写方法、画素制御素子転写後の配線形成方法、画素制御素子の選択転写方法に使用する画素制御素子の実装装置、及び、平面ディスプレイ基板に関し、特に、画素制御素子が複数の画素を制御する画素制御素子である場合の画素制御素子の選択転写方法、画素制御素子の選択転写方法に使用する画素制御素子の実装装置、画素制御素子転写後の配線形成方法、及び、平面ディスプレイ基板に関する。

15

背景技術

液晶ディスプレイや有機ELディスプレイに代表されるディスプレイは、ガラス基板（第1の基板ともアレイ基板とも呼ばれる）上に化学気相堆積法（CVD法；Chemical Vapor Deposition）等により絶縁膜、半導体膜等が順次堆積され、半導体集積回路を作製するのと同じ工程を経て、画面を構成する各画素近傍に、薄膜トランジスタ（TFT；Thin Film Transistor）等の微小電子デバイスが形成される。この微小電子デバイスで各画素のオン、オフ、濃淡などを制御することにより、ディスプレイ画像が構成される。すなわち、実際に平面ディスプレイに使用するガラス基板上において直接、TFT等の能動電子デバイスが作製されている。しかし、昨今の画面化への需要に対応するため、ディスプレイ面積を拡大させようとする、以下の問題点があった。

25

第一に、平面ディスプレイの拡大に伴い、平面ディスプレイ基板上に微小電子デバイスを作製するCVD装置等の製造装置を必然的に巨大化させることとなる。また、微小電子デバイス作製の工程が多いため、前述のように巨大化させた製造装置が複数台必要となり、なおかつ、それらを設置するクリーンルームも巨大化
5 させる必要がある。その結果として、製造コストの低減が困難な状況となっていた。

第二に、ガラス基板が耐えられる300℃程度の低温における堆積薄膜で作製可能なアモルファス・シリコン(a-Si)膜などが半導体膜として使用されているため、結晶シリコンを使用する半導体電子デバイスに較べ動作性能が劣る。
10 これを解決するために、例えばTFTの移動度を向上させてその動作性能を向上させるよう、堆積されたa-Si膜をレーザー照射により熔融させてポリ・シリコン(poly-Si)を形成し、そのpoly-Si膜を用いて移動度が大きいTFTを作ることにも検討されている。特に、各画素にそれぞれ個別に制御された電流を流すことで発光させる有機ELによるディスプレイでは、a-Si TFT
15 TFTの動作機能では不十分であるとの考えが一般的であり、この点でもレーザー熔融poly-Si膜への期待が広がっている。しかし、レーザー熔融poly-Si膜の作製は高コストであるため、限られた範囲でのみ使用されることが前提とされている。また、a-Si TFTにおいても画面对角寸法が40インチ以上となると、a-Si膜堆積とそれに続くパターン転写工程などの困難さ及び
20 工程コストが共に増大することとなっていた。

第三に、ガラス板を基板として用いるディスプレイにおいては、画面サイズが40インチ乃至100インチともなると、ガラス基板の強度を持たせるために板厚を増大させることとなるため、ディスプレイ全体の装置重量が増大してしまい、さらに、これを安定的に設置するために装置構造を大きくする必要があると同時に、これらに必要なコストも上昇してしまっていた。
25

上記の問題点を解決するものとして、TFT等の微小電子デバイスを、ガラス

基板ではない別の基板に予め多量に作製し、それをガラス基板上の所定の位置に実装する技術が既に開示されている（例えば、非特許文献 1、特許文献 1、特許文献 2 を参照）。

非特許文献 1

- 5 Anne Chiang, 「Application of Fluidic Self Assembly TM Technology to Flat Panel Displays」、I D W '00 予稿集、I T E, S I D 発行、平成 12 年 11 月 29 日、p. 195-198

特許文献 1 特開平 11-142878 号公報

特許文献 2 特開平 2002-244576 号公報

- 10 非特許文献 1 には、平面ディスプレイ基板上に画素制御素子（微小電子デバイス）がはまり込む型を作製し、予め別の場所にて多量に作製しておいた画素制御素子を液体とともに流し込むことで実装する方法が開示されている。しかしながら、液体と共に流し込む画素制御素子の量に対して、ディスプレイ基板上の型にうまく入り込む画素制御素子の比率が低いため、実用的ではない。さらに、上記
- 15 の比率を見込んだ多量の画素制御素子を、ディスプレイ基板に流し込むために、配置されなかった余剰の画素制御素子を回収する必要がある。また、液体と共に流し込む時及び余剰分の回収時において、画素制御素子が直接、ディスプレイ基板上を移動するために、ディスプレイ基板を損傷する恐れがある。

- 一方、特許文献 1 においては、画素制御素子を平面ディスプレイ基板上における配列ピッチに関連付けてシリコン基板上に形成し、ディスプレイ基板の選択転
- 20 写される位置に、画素制御素子（微小電子デバイス）がはまり込む凹部を形成し、ディスプレイ基板上にシリコン基板の画素制御素子群を位置合わせした後、紫外線照射を行うことにより、転写したい画素制御素子と別の基板との接着剤の接着力を選択的に弱め、ディスプレイ基板の凹部へ画素制御素子をはめ込む方法が開
- 25 示されている。また、凹部に接着剤層を形成し、画素制御素子を固定する方法も合わせて開示されている。

しかし、画素制御素子を凹部にはめ込むために、凹部は画素制御素子よりも若干大きく形成されることとなり、この大きさの違いによって凹部において画素制御素子にずれが生じ、後の配線工程が困難となる。これを防止するために、画素制御素子と凹部との大きさの違いを小さくすると、わずかな位置ズレにより画素制御素子が傾いてはまり込む可能性がある。したがって、凹部の形成や画素制御素子の位置決めを極めて高精度に行う必要があり、現実的なものではない。また、凹部に接着剤層を形成して固定する場合は、画素制御素子を接着剤層に密着させる際、接着剤層にわずかでもにじみが生じると、近辺の他の画素制御素子も密着させてしまうという危険性がある。そのため、接着剤を極めて微量にかつ極めて正確な位置に塗布することが必要であり、相当なコスト高の原因となる。

上述のように、非特許文献1においては、ディスプレイ基板上への画素制御素子の配置の成功率に問題があるばかりでなく、配置されなかった余剰の画素制御素子を除去、回収を行う必要があり、結果として、製造コストの低減を可能とする方法とはなっていない。また、余剰の画素制御素子の除去回収時に、ディスプレイ基板を損傷する恐れがある。

一方、特許文献1の手法では、画素制御素子と凹部との大きさの違いによって、画素制御素子が凹部内においてズレを生じたり、凹部に傾いてはまり込んだりする可能性があり、これらを防止するためには極めて高精度な位置決めを行うとともに、場合によっては一つずつ位置ズレの程度を確認する必要があり、コスト低減が図られない。さらに、凹部に接着剤層を形成する場合は、接着剤層がにじみ出ることを防止するため、塗布量及び塗布位置を高精度に制御する必要があり、この点においてもコスト高の原因となっている。また、紫外線照射を行うことにより、転写したい画素制御素子と別の基板との接着剤の接着力を選択的に弱めるにあたり、紫外線ビームを画素制御素子と同じ形状として照射することは困難であるため、実際は画素制御素子より大きなビーム径で照射することが予測される。この場合、選択された画素制御素子に隣接する未選択の画素制御素子の接

着力を周辺から少しずつ弱めることとなり、特に選択順が遅い画素制御素子においては、選択前にすでに接着力が弱まってしまい、未選択の画素制御素子の配置を誤って乱すことによる位置ズレや落下の原因となる。特許文献1においては、転写の際に画素制御素子の全数を下に向けた状態で紫外線照射を行うため、この

5 ような画素制御素子が落下する危険性を有することは重大な問題である。

また、複数の画素を制御する画素制御素子においては、この画素制御素子を平面ディスプレイ基板に実装した後もこの画素制御素子に対する配線を効率的に行うことが望まれるが、従来の配線方法は、配線材料を基板の全面に薄膜堆積して、それをフォトリソグラフィー法によってパターン転写して、配線材料薄膜をエッチングし、レジスト膜除去等等といった高価で複雑な製造工程となっていた。

さらに、アクティブ・マトリクス表示の液晶ディスプレイにおいては、縦横の配線（縦方向の配線がソース配線であり、横方向の配線がゲート配線）の交差部分に画素（画素電極）及び画素制御素子（T F T）が通常1個ずつ配置され、T F Tは1画素を制御するスイッチング素子であることが多い。ディスプレイでの配線部分は、光遮蔽部となることから、配線部分が多いと開口率の向上を図ることに限界がある。ここで、特許文献2は、F i g 3 8に示すように、田の字状の4つの画素の中央にこれらの4つの画素を制御する4つの薄膜トランジスタ素子1 2が密集するように配置されている。これは、4つの薄膜トランジスタ素子1 2がその外周の4つの画素を各々制御するものの集合であると考えられる（特許文献2では、これを「素子ブロック1 3」と説明する。）。しかし、田の字状の中央で集中させてはいるが、配線の共通化などの点から、画素制御素子に隣り合った画素（或いは画素電極）を制御することしか考えられていない。さらに、特許文献2の方法では、2画素ピッチで、素子が配置されることから、配線部である光遮蔽部は、2画素ピッチで入ることとなる。この場合、R G、B R、G B、R G、…というように2色づつに切り分けられることになるため、発色に問題を生じる。R G Bの3色をまとめた形で切り分けることが望ましいが、特許文献2で

は、隣接する画素との混色が生じて、コントラストにも影響を与える。

そこで本発明の目的は、液晶ディスプレイや有機ELディスプレイ等の平面ディスプレイに、位置ズレすることなく、容易で正確かつ安価に複数の画素を制御する画素制御素子を選択転写する画素制御素子の選択転写方法及び画素制御素子の選択転写方法に使用される画素制御素子の実装装置と、上記画素制御素子に対する配線を安価な方法で効率良く行うことができる画素制御素子転写後の配線形成方法と、配線の数を少なくする（省配線化）とともに、配線による光遮蔽部の面積を小さくでき、さらに、発色及びコントラストが良好な平面ディスプレイ基板を提供することにある。

10

発明の開示

本発明の請求の範囲 1 記載の画素制御素子の選択転写方法は、複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写する画素制御素子の転写方法において、複数画素を制御する複数の集積回路が表面に形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、上記画素制御素子形成用基板に、その第 1 の方向については平面ディスプレイ基板上における第 1 の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x / m の配列ピッチ、及び、第 1 の方向に直交する第 2 の方向については平面ディスプレイ基板上における第 2 の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y / n の配列ピッチとなるように画素制御素子を複数形成し、上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x , p_y に対応する画素制御素子のみを選択的にピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする。

25

本発明の請求の範囲 2 記載の画素制御素子の選択転写方法は、一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、上記画素制御素子用基板に、その第 1 の方向については平面ディスプレイ基板上における第 1 の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第 1 の方向に直交する第 2 の方向については平面ディスプレイ基板上における第 2 の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、ピックアップ装置には、画素制御素子のチャッキングを行う真空吸着穴が、前記第 1 の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第 2 の方向に対応する方向に p_y の配列ピッチで形成されており、上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的にピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする。また、本発明の請求の範囲 3 記載の画素制御素子の選択転写方法は、一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、前記複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、上記画素制御素子用基板に、その第 1 の方向については平面ディスプレイ基板上における第 1 の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第 1 の

方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置と、ピックアップ装置を位置合わせするX軸調節機構、Y軸調節機構、及びZ軸調節機構を備え、上記画素制御素子ステージと基板ステージの両ステージはそれぞれ回転角度調節機構を有し、吸着穴は、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成された実装装置を用いて、上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする。なお、この発明の請求4記載の画素制御素子の選択転写方法は、請求の範囲1乃至請求の範囲3のいずれか一つの請求の範囲に記載の発明を前提として、前記画素制御素子は、一つの集積回路で、2行6列で配列する3色×4画素の制御を行うもので、2行6列の中央に上記画素制御素子が転写されることを特徴とする。

請求の範囲1乃至請求の範囲4の発明においては、保持基板上に、平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチにて画素制御素子を形成するため、平面ディスプレイ基板に選択的に転写する際、配列ピッチ p_x 、 p_y に応じて、第1の方向には自然数 m 個ごとに（ $m-1$ 個おきに）選択し、第2の方向には自然数 n 個ごとに（ $n-1$ 個おきに）画素制御素子が選択されることとなる。このとき、本発明によれば、ピックアップ装置を使用して転写するため、選択された画素制御素子のみがピックアップ装置に吸着保持され

ることとなり、従来の特許文献1のように、未選択の画素制御素子の配置を誤って乱すことが防止される。

この発明の請求の範囲5記載の画素制御素子の選択転写方法は、請求の範囲1乃至請求の範囲4のいずれか一つの請求の範囲に記載の発明を前提として、前記

5 集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記画素制御素子用基板を表裏反転するようにピックアップ用基板に転写

10 させた後に画素制御素子用基板を集積回路ごとに切断することを特徴とする。

この発明によれば、画素制御素子用基板は、集積回路面を表面に向けた状態となるようにピックアップ用基板に転写してから、画素制御素子を形成するため、所定の大きさに切り分ける切断工程において表面側から集積回路面を確認することができ、容易に位置合わせをすることができる。また、請求の範囲1記載の発

15 明と同様、配列ピッチ p_x , p_y を保った状態で画素制御素子をピックアップ装置に吸着保持させるため、未選択の画素制御素子の配列を乱すことなく転写させることができる。

本発明の請求の範囲6記載の画素制御素子の選択転写方法は、請求の範囲1乃至請求の範囲4記載のいずれか一つの請求の範囲の発明を前提として、前記集積

20 回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、集積回路面を保持基板側に向けた状態となるように接着し、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記保持基板上の

25 画素制御素子用基板を集積回路ごとに切断した後に、画素制御素子用基板を表裏反転するようにピックアップ用基板に転写させることを特徴とする。

この発明によれば、画素制御素子の集積回路面を保持基板側に向けた状態となるように形成されるため、画素制御素子を所定の厚さにするための機械研磨工程や所定の大きさに切り分ける切断工程において切りくず等が集積回路面に付着することが防止される。また、請求の範囲 1 記載の発明と同様、配列ピッチ p_x , p_y を保った状態で画素制御素子をピックアップ装置に吸着保持させるため、未選択の画素制御素子の配列を乱すことなく転写させることができる。

請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程における保持基板と画素制御素子用基板との接着力と、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程におけるピックアップ用基板と画素制御素子用基板との接着力とが異なることが望ましい。

この発明によれば、前記保持基板と画素制御素子用基板との接着力と、前記ピックアップ用基板と画素制御素子用基板との接着力とが、任意の異なる接着力に設定されることとなる。これは、保持基板上で行われる工程において必要な保持力と、ピックアップ用基板へ転写した後に行われる工程において必要な保持力とが異なることに対応可能とするものである。

請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程における保持基板と画素制御素子用基板との接着手段と、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程におけるピックアップ用基板と画素制御素子用基板との接着手段とが異なることが望ましい。

この発明によれば、前記保持基板と画素制御素子用基板との接着手段と、前記ピックアップ用基板と画素制御素子用基板との接着手段とが、任意の異なる手段に設定されることとなる。例えば、前記保持基板と画素制御素子あるいは画素制

御素子用基板との接着手段に、紫外線により接着力を変化させるシートを使用し、前記ピックアップ用基板と画素制御素子あるいは画素制御素子用基板との接着手段に、熱により接着力を変化させるシートを使用することができる。

- 請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載の発明は、
- 5 前記平面ディスプレイ基板の表面に透明な熱可塑性樹脂膜を形成し、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程において、上記ピックアップ装置の画素制御素子を吸着する面には、あらかじめフッ素樹脂が塗布されており、上記透明な熱可塑性樹脂膜の塑性変形によって画素制御素子を保持することが望ましい。
- 10 この発明によれば、平面ディスプレイ基板の表面に、透明な熱可塑性樹脂膜が形成され、透明な熱可塑性樹脂膜の塑性変形によって画素制御素子が保持されることとなる。塑性変形可能となった透明な熱可塑性樹脂膜は、画素制御素子の底面と側面とに密着し、底面のみによる密着に比べて広範囲な面積において摩擦力の効果が得られ、画素制御素子を強固に保持することができる。また、ピックアップ装置の画素制御素子を吸着する面には、あらかじめフッ素樹脂が塗布されて
- 15 いるため、ピックアップ装置が透明な熱可塑性樹脂膜と密着することがなく、透明な熱可塑性樹脂膜の表面や画素制御素子の表面を汚したり、配置された画素制御素子の配列を誤って乱したりすることが防止される。

- また、前記透明な熱可塑性樹脂膜の塑性変形による画素制御素子の保持は、ピックアップ装置に吸着された画素制御素子が透明な熱可塑性樹脂膜に接触するときに、ピックアップ装置により吸着力と逆の方向へ圧空をかけて画素制御素子を透明な熱可塑性樹脂膜に配置した後にプレスすることにより、透明な熱可塑性樹脂膜を塑性変形させて画素制御素子を保持することが望ましい。また、前記透明な熱可塑性樹脂膜は、透明熱可塑性高分子フィルムを平面ディスプレイ基板にラミネート加工して形成することが望ましい。
- 20
- 25

この発明によれば、まず、ピックアップ装置に吸着された画素制御素子が透明

な熱可塑性樹脂膜に接触するときに、ピックアップ装置により吸着力と逆の方向へ圧空をかけて画素制御素子を透明な熱可塑性樹脂膜に配置することとされる。すなわち、画素制御素子がピックアップ装置による圧空を持って押し付けられるように透明な熱可塑性樹脂膜に配置されることとなり、画素制御素子と透明な熱可塑性樹脂膜とが密着することとなる。また、この発明によれば、画素制御素子を透明な熱可塑性樹脂膜に配置した後にプレスすることとされる。プレスの方法においては、透明な熱可塑性樹脂膜を加熱してからプレス装置等によりプレスしても、プレス装置等を加熱してプレスしてもよい。プレスする時期においては、全ての画素制御素子を配置し終えた後に一括して平面ディスプレイ基板全体をプレスするようにしてもよいし、任意の数量だけ画素制御素子を配置した後にプレスするようにしてもよい。また、透明熱可塑性高分子フィルムを平面ディスプレイ基板にラミネート加工して、透明な熱可塑性樹脂膜を形成することは、平坦な膜形成の観点からさらに望ましい。

また、請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載の発明は、前記画素制御素子を平面ディスプレイ基板に吸着保持させた後、画素制御素子の表面及び平面ディスプレイ基板の表面に透明紫外線硬化樹脂膜を形成し、平面ディスプレイ基板において画素制御素子が保持されない側から紫外線照射を行って透明紫外線硬化樹脂膜を選択的に硬化させた後、画素制御素子の表面の透明紫外線硬化樹脂膜を除去することにより、画素制御素子を選択的に平面ディスプレイ基板に転写することが望ましい。

この発明によれば、画素制御素子を平面ディスプレイ基板に保持させた後、画素制御素子の表面及び平面ディスプレイ基板の表面を覆うように透明紫外線硬化樹脂膜を形成し、平面ディスプレイ基板の裏面側から紫外線照射を行うことにより、通常は透明である平面ディスプレイ基板を紫外線が透過するため、画素制御素子の上面（平面ディスプレイ基板或いは透明な熱可塑性樹脂膜に接触していない面）を除いた全ての部分にわたる透明紫外線硬化樹脂膜を硬化させることとな

る。その後、画素制御素子の上面の硬化していない透明紫外線硬化樹脂膜を除去すると、画素制御素子の上面を除く周辺部分に紫外線により硬化した透明樹脂膜が均一に形成され、画素制御素子の上面から引き出される配線が安定的に形成されることとなる。

- 5 また、請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載の発明は、前記画素制御素子の表面には、信号線を接続するための電極パッドが形成され、長さ及び幅が $30\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下であり、厚さが $20\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下の結晶シリコンチップ或いは多結晶シリコンチップであることが、実装の容易さの面から望ましい。また、前記画素制御素子の表面に、シリコン窒
- 10 化膜、或いは、シリコン酸化膜による保護膜が形成されていることは、画素制御素子やそれに形成される回路の保護の面からさらに望ましい。また、前記画素制御素子は、結晶シリコン基板或いは多結晶シリコン基板表面に画素制御機能を形成した後、 $20\text{ }\mu\text{m}$ 以上、 $100\text{ }\mu\text{m}$ 以下の厚さとなるようその裏面を機械研磨し、その後、サンドブラスト加工或いは、レーザー加工によって、長さ及び幅が
- 15 $30\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下となるように切断されたものであることは、生産効率及び加工精度の面からさらに望ましい。

- また、請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載された複数の画素を制御する画素制御素子にその内部を通過する配線を形成する一方、平面ディスプレイ基板に配線を形成するに際し、画素制御素子の内部配線と破線
- 20 状に接続される平面ディスプレイの配線に対応する所定パターンが形成されたスクリーンマスクを使用したスクリーン印刷によって形成することが望ましい。ここで、スクリーンマスクとしては、薄い金属箔を用いたメタルマスクが好ましい。

- この発明によれば、複数の画素を制御する画素制御素子を前提とするが、この画素制御素子はデータライン、ゲートラインや画素ラインの間に画素制御素子が
- 25 位置され、画素制御素子を中心に縦横にデータライン等の配線が必要になる。このため、画素制御素子にその内部を通過する配線を形成しておき、この画素制御

素子を上記請求の範囲 1 乃至請求の範囲 6 の画素制御素子の選択転写方法で転写させた後、複数の画素を制御する画素制御素子の内部を通過する配線と接続される平面ディスプレイ基板に形成されるデータライン等の配線と形成するに際して、データライン等の配線は破線状になるため、データライン等の配線に対応する所
5 定パターンが形成されたスクリーンマスクが使用でき、その結果、平面ディスプレイ基板に直接配線材料を印刷塗布する方法によって上記画素制御素子と接続するパターン配線を形成することができる。この点、従来の配線方法は、配線材料を平面ディスプレイ基板の全面に薄膜堆積して、それをフォトリソグラフィ法によってパターン転写して、配線材料薄膜をエッチングし、レジスト膜除去等等
10 といった高価で複雑な製造工程となっていた。また、上記のようなスクリーンマスクは使用できず、スクリーン印刷はできなかった。

また、請求の範囲 7 記載の画素制御素子の実装装置は、請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載された画素制御素子の選択転写方法による画素制御素子の実装装置であって、上記実装装置は、前記ピックアップ用
15 基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程を行うもので、前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置とを備え、上記画素制御素子ステージと基板ステージの両ステージはそれぞれ回転角度調節機構を有
20 し、ピックアップ装置は、X 軸調節機構、Y 軸調節機構、及び Z 軸調節機構により直交する 3 方向に可動自在な機能を有し、吸着穴は、前記第 1 の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第 2 の方向に対応する方向に p_y の配列ピッチで形成されることを特徴とする。

この発明によれば、画素制御素子ピックアップ部に形成される吸着穴は、前記
25 第 1 の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第 2 の方向に対応する方向に p_y の配列ピッチで形成されるため、請求の範囲 1 乃至請求の

範囲 6 記載の画素制御素子の選択転写方法により画素制御素子を実装することができる。

また、請求の範囲 8 記載の画素制御素子転写後の配線形成方法は、請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載された複数の画素を制御
5 する画素制御素子にその内部を通過する配線を形成する一方、平面ディスプレイ基板に配線を形成するに際し、画素制御素子の内部配線と破線状に接続される平面ディスプレイの配線に対応する所定パターンが形成されたスクリーンマスクを使用したスクリーン印刷によって形成することを特徴とする。ここで、スクリー
ンマスクとしては、薄い金属箔を用いたメタルマスクが好ましい。

10 この発明によれば、複数の画素を制御する画素制御素子を前提とするが、この画素制御素子はデータライン、ゲートラインや画素ラインの間に画素制御素子が位置され、画素制御素子を中心に縦横にデータライン等の配線が必要になる。このため、画素制御素子にその内部を通過する配線を形成しておき、この画素制御素子を上記請求の範囲 1 乃至請求の範囲 7 のいずれか一つの請求の範囲に記載の
15 画素制御素子の選択転写方法で転写させた後、複数の画素を制御する画素制御素子の内部を通過する配線と接続される平面ディスプレイ基板に形成されるデータライン等の配線と形成するに際して、データライン等の配線は破線状になるため、データライン等の配線に対応する所定パターンが形成されたスクリーンマスクが使用でき、その結果、平面ディスプレイ基板に直接配線材料を印刷塗布する方法
20 によって上記画素制御素子と接続するパターン配線を形成することができる。この点、従来の配線方法は、配線材料を平面ディスプレイ基板の全面に薄膜堆積して、それをフォトリソグラフィ法によってパターン転写して、配線材料薄膜をエッチングし、レジスト膜除去等等といった高価で複雑な製造工程となっていた。また、上記のようなスクリーンマスクは使用できず、スクリーン印刷はできなかった。
25

本発明の請求の範囲 9 記載の平面ディスプレイ基板は、画素とこの画素を制御

する画素制御素子がこれらを接続する配線と共に形成される平面ディスプレイ基板において、画素が i 行 j 列で配列されており、上記画素制御素子は、一つの集積回路で複数の画素を制御する画素制御素子であり、上記 i 行 j 列のほぼ中央に配されて、上記各画素との接続を共通の領域を使用した配線を介して接続されていることを特徴とする。さらに本発明の請求の範囲 10 記載の平面ディスプレイ基板は、前記画素制御素子は、前記請求の範囲 1 乃至請求の範囲 6 記載の画素制御素子の転写方法により転写されることを特徴とする

この発明によれば、上記画素制御素子は、一つの集積回路で複数の画素（或いは画素電極）を制御する画素制御素子であり、上記 i 行 j 列のほぼ中央に配されて、各画素と上記配線を介して接続されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積が小さくなり、開口率の向上に寄与できる。画素制御素子は、 i 行 j 列の中央に配されていることから、 $i \times j$ 個の画素を画素ブロックとすると、画素ブロックに含まれる各画素を一つの画素制御素子で制御する上で、その中心位置となって、この位置から対称位置の画素への配線の長さを同じくして配線することができる。

本発明の請求の範囲 11 記載のディスプレイ基板は、前記請求の範囲 9 又は請求の範囲 10 記載の発明を前提として、前記 i 行 j 列は $i \times j$ が 3 の倍数であり、前記画素制御素子は、3 色となる 3 画素を組として、一つの集積回路で複数組を制御するものであることを特徴とする。この発明によれば、三原色（RGB）の組み合わせから成る 3 個の画素を一つの画素制御素子で制御可能となるため、発色及びコントラストが良好となる。具体的には、2 行 6 列や、6 行 2 列や、2 列 12 行や、4 列 12 行等が考えられる。

本発明の請求の範囲 12 記載のディスプレイ基板は、前記請求の範囲 9 又は請求の範囲 10 記載の発明を前提として、前記画素制御素子は、一つの集積回路で、2 行 6 列で配列する 3 色 \times 4 画素の制御を行うもので、2 行 6 列の中央に上記画素制御素子が配されていることを特徴とする。

この発明によれば、三原色（RGB）の組み合わせから成る3個の画素を一つの画素制御素子で制御しているため、発色及びコントラストが良好となる。ここで、単にi行j列で3色×4画素の制御を行う画素制御素子としても良い。具体的には、2列12行や、4列12行等が考えられる。ただし、画素数の増加に伴って配線数も増大して、その分開口率が悪くなるおそれもあることから、好ましくは、画素制御素子は、一つの集積回路で、2行6列で配列する3色×4画素の制御を行うもので、2行6列の中央に上記画素制御素子が配されていることが望ましい。

本発明の請求の範囲13記載のディスプレイ基板は、前記請求の範囲9乃至請求の範囲12のいずれか一つの請求の範囲に記載の発明を前提として、前記画素制御素子は、平面ディスプレイ基板上に転写されるもので、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備えた製造方法により、平面ディスプレイ基板上に転写されることを特徴とする。具体的には、上記請求の範囲1乃至請求の範囲6のいずれか一つの請求の範囲に記載の画素制御素子の転写方法で画素制御素子が転写されて製造されることが望ましい。

20

図面の簡単な説明

Fig 1は、集積回路の概略を示す上面図である。Fig 2は、集積回路上に保護膜を形成した状態を示す上面図である。Fig 3は、シリコン基板上に集積回路が形成された状態を示す上面図である。Fig 4は、平面ディスプレイ基板の上面図である。Fig 5は、シリコン基板の上面図である。Fig 6は、シリコン基板の機械研磨を示す断面図である。Fig 7は、シリコン基板の表裏反転を

25

示す断面図である。F i g 8 は、表裏反転後のシリコン基板の断面図である。F i g 9 は、パターニングされたシリコン基板の断面図である。F i g 10 は、サンドブラスト加工の説明図である。F i g 11 は、フォトレジスト剥離後のシリコン基板の断面図である。F i g 12 は、真空チャックの上面図である。F i g 13 は、画素制御素子の選択の説明図である。F i g 14 は、画素制御素子のピックアップを示す断面図である。F i g 15 は、熱可塑性樹脂フィルムをラミネート加工した平面ディスプレイ基板の断面図である。F i g 16 は、画素制御素子の実装を示す説明図である。F i g 17 は、画素制御素子の実装後の平面ディスプレイ基板の断面図である。F i g 18 は、透明紫外線硬化樹脂膜を塗布した平面ディスプレイ基板の断面図である。F i g 19 は、紫外線照射を示す説明図である。F i g 20 は、紫外線硬化樹脂膜が一部除去された平面ディスプレイ基板の断面図である。F i g 21 は、透明電極が形成された平面ディスプレイ基板の断面図である。F i g 22 は、配線が形成された平面ディスプレイ基板の断面図である。F i g 23 は、平面ディスプレイ基板の上面図である。F i g 24 は、液晶ディスプレイの断面図である。F i g 25 は、液晶ディスプレイ製造工程のフローチャートである。F i g 26 は、パターニングされたシリコン基板の断面図である。F i g 27 は、サンドブラスト加工の説明図である。F i g 28 は、フォトレジスト剥離後のシリコン基板の断面図である。F i g 29 は、シリコン基板の表裏反転を示す説明図である。F i g 30 は、表裏反転後のシリコン基板の断面図である。F i g 31 は、画素制御素子の実装装置の概略図である。F i g 32 は、(a) は、内部を通過する配線が形成された画素制御素子の例と、この画素制御素子を使用して、スクリーン印刷により配線形成する際のスクリーンマスクの例を平面ディスプレイ基板の上面図と比較して示す図であり、(b)が(c)の平面ディスプレイ基板の配線に対応するスクリーンマスクの図である。F i g 33 は、本発明の画素配列の他の例を示す平面図である。F i g 34 は、本発明の画素配列の他の例を示す平面図である。F i g 35 は、特許文献2と本発明の

内容を比較して説明する図である。Fig 36は、特許文献2と本発明の内容を比較して説明する図である。Fig 37は、本願の画素制御素子の配置パターンと画素配列を示す図である。Fig 38は、従来の画素制御素子の配置パターンと画素配列の例を示す平面図である。

5

発明を実施するための最良の形態

以下に、本発明の実施の形態を図面を引用しながら説明する。

(第1の実施の形態の平面ディスプレイ基板の製造方法)

(1. 液晶ディスプレイ構造)

- 10 本実施の形態は、本発明の平面ディスプレイ基板の製造方法を液晶ディスプレイの製造に適用したものである。液晶ディスプレイ200は、Fig 24に示すように、平面ディスプレイ基板100とカラーフィルター基板111との間に液晶112を挟持する構造をとる。プラスチック基板からなる平面ディスプレイ基板(第1の基板やアレイ基板とも呼ばれる。)100には、樹脂フィルム101を
- 15 介して画素制御素子1と透明電極(画素)102とがマトリクス状に形成され、その上に配向膜110が形成される。他方、カラーフィルター基板111には、耐溶剤層113を介してカラーフィルター114が上記透明電極102と対向するように形成され、その表面にカラーフィルター用透明電極115と配向膜110が形成される。画素制御素子1は、複数の薄膜トランジスタ(TFT; Thin Film
- 20 Transistor)が形成されたものであり、複数の透明電極102を制御することにより各画素のオン、オフ、濃淡などを制御する。

(2. 画素制御素子の選択転写方法)

- 上記構成の液晶ディスプレイ200は、Fig 25に示す製造方法により製造される。その概略は、画素制御素子用基板2に複数画素の制御を行う集積回路3
- 25 を形成して保持基板7に固定する工程R1と、画素制御素子用基板2を研磨する工程R2と、画素制御素子用基板2をピックアップ用基板9に移す工程R3と、

画素制御素子 1 に切断する工程 R 4 と、画素制御素子 1 をピックアップ装置 5 1 により平面ディスプレイ基板 1 0 0 に転写する工程 R 5 と、透明電極及び配線を形成する工程 R 6 と、配向膜形成及びラビングをする工程 R 7 と、カラーフィルター基板を貼り合わせる工程 R 8 と、液晶を注入する工程 R 9 とを備える。

- 5 まず、上記工程 R 1 において、画素制御素子用基板 2 として結晶シリコン基板
或いは多結晶シリコン基板（以下、シリコン基板とする） 2 に複数画素の制御を
行う集積回路 3 を形成する。シリコン基板 2 上への集積回路 3 の形成は、周知の
半導体製造技術によって行う。その集積回路 3 の一例を F i g 1 に示す。F i g
1 の集積回路 3 には画素制御を行う薄膜トランジスタの電子デバイス 3 a が 1 2
10 個形成されている。すなわち、1 個の集積回路 3 によって、3 色（R G B の 3 色）
× 4 画素の制御を行うことができる。また、各画素の電流保持回路 3 b 及び画素
ライン 1 0 7 等の信号線をつなぐための電極パッド 3 c も形成しておく。このよ
うな集積回路 3 を形成後、F i g 2 に示すように、電極パッド 3 c 以外の部分に、
窒化シリコン膜、或いは酸化シリコン膜 4 を堆積し、集積回路 3 を保護する。こ
15 こで、列方向に画素制御素子 1 から離れる画素との配線の直線性を保つために、
画素制御素子 1 からの列の配線を直線状に施し（直線状に配するだけで、画素制
御素子と各画素とが確実に接続される。）なる（F i g 3 7 参照）。3 色 × 4 画素
の 1 2 画素は、前記配線の交わる位置に配される画素制御素子 1 から離れるに従
って、その長さが長くすることも可能である（F i g 3 7 参照）。また、画素配列
20 の他の例としては、前記 i 行 j 列は $i \times j$ が 3 の倍数であり、前記画素制御素子
1 は、3 色となる 3 画素を組として、一つの集積回路 3 で複数組を制御するもの
であり、F i g 3 3 に示すように、2 列 1 2 行として一つの集積回路 3 で 8 組を
制御（3 の整数倍の 2 4 画素を 3 色となる 3 画素を組として制御）したり、F i
g 3 4 に示すように、4 列 6 行として一つの集積回路 3 で 8 組を制御したりする
25 等が考えられ、その中央に配される画素制御素子 1 は、一つの集積回路 3 で複数
の画素を制御する画素制御素子 1 であり、上記各画素との接続を共通の領域を使

用した配線を介して接続されているものでも良い。このように、画素配列は、 i 行 j 列の画素配列のパターンに適用可能である。これよれば、上記画素制御素子 1 は、一つの集積回路 3 で複数の画素（或いは画素電極）を制御する画素制御素子であり、上記 i 行 j 列のほぼ中央に配されて、各画素と上記配線を介して接続
5 されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積が小さくなり、開口率の向上に寄与できる。ここで、配線の数とは、行方向又は列方向に配される配線の束からなる配線群（本実施の形態ではデータライン 109 の集合、又は、画素ラインとゲートライン 108 の集合）の数をいう。

Fig 3 に示されるように、シリコン基板 2 上には、Fig 1 に示されるよう
10 な集積回路 3 が規則的な間隔で多数形成される。その規則的な間隔（ピッチ）5, 6 は、以下に説明するように、平面ディスプレイ基板 100 上におけるピッチ 105, 106 に対応するものである。一つの集積回路 3 で、3 色×4 画素の制御を行う場合、平面ディスプレイ基板 100 上での画素制御素子 1 は、Fig 4 に示すように、第 1 の方向 X についてはピッチ 105 にて実装され、第 2 の方向 Y
15 についてはピッチ 106 にて実装される。そして、シリコン基板 2 上に多数形成された集積回路 3 のピッチ 5, 6 は、Fig 5 のように、平面ディスプレイ基板 100 上での画素制御素子 1 の間隔 105, 106 を基準とし、その間を自然数 m , n 個の画素制御素子 1 で埋めるようにして決定される。すなわち、平面ディスプレイ基板 100 における第 1 の方向 X についてのピッチ 105 を p_x とし、
20 同じく第 2 の方向 Y についてのピッチ 106 を p_y とした場合、シリコン基板 2 における第 1 の方向 X についてのピッチ 5 は p_x/m 、同じく第 2 の方向 Y についてのピッチ 6 は p_y/n となる。そして、Fig 6 に示すように、シリコン基板 2 の表面すなわち集積回路 3 が形成されている面 2a を、第 1 の粘着テープ 8 によって保持基板 7 に固定する。

25 次に、工程 R2 において、シリコン基板 2 の裏面すなわち集積回路 3 が形成されない面 2b を機械研磨して、シリコン基板 2 の厚さを 20～100 μm 程度に

薄膜化する。第1の粘着テープ8は、所定の加熱により粘着力が低下する熱剥離テープを使用することができる。

次に、工程R3において、ピックアップ用基板9にシリコン基板2を転写する。具体的には、Fig7に示すように、シリコン基板2の裏面2bとピックアップ用基板9とを第2の粘着テープ10で接着し、保持基板7を介して第1の粘着テープ8を加熱して第1の粘着テープ8及び保持基板7を剥離する。このようにしてシリコン基板2を保持基板7からピックアップ用基板9に転写する。このとき、Fig8に示すように、集積回路3が形成された面2aは表面側となる。ここで、第1の粘着テープ8の熱剥離温度が第2の粘着テープ10の熱剥離温度よりも低いものとなるように、それぞれの粘着テープ8、10を選択すれば、第1の粘着テープ8への加熱がシリコン基板2を介して第2の粘着テープ10へ伝導して、ピックアップ用基板9とシリコン基板2との接着力が低下して位置ズレ等の不具合を引き起こすことが防止される。

また、粘着テープ8、10の接着手段、すなわち粘着力を変化させる手段を異なるものとしてもよい。例えば、第1の粘着テープ8を、紫外線照射によって粘着力が弱くなるものとし、第2の粘着テープ10を熱剥離テープとすると、第1の粘着テープ8を剥離するための紫外線照射によって、第2の粘着テープ10の粘着力が低下してしまうことが防止される。

その後、工程R4において、シリコン基板2を集積回路3ごとに、チップ形状に切断し、画素制御素子1を形成する。切断方法は、エッチング、サンドブラスト加工、レーザー加工、ダイシング加工などにより行うことができる。生産効率の面からは、アルミナ等の粉末をノズルから高圧・高速で噴射して切削して行くサンドブラスト加工が最も適しているが、画素制御素子1の形状を精度良く加工したい場合は、レーザー光を移動させ切削して行くレーザー加工が適している。プラズマを用いた、いわゆるドライエッチングによっても加工は可能であるが、加工速度が他の方法に比して遅いため、生産効率は低い。また、薬液を用いたウ

エツトエッチングでは、薬液の回り込みによって画素制御素子 1 の加工精度が劣ったり、機械的に切断を行うダイシング加工では、ダイシングの刃によって、画素制御素子 1 が飛んだりして、歩留まりの点で不利である。したがって、切断方法の選択は重要であり、本実施の形態のように、 $20 \sim 100 \mu\text{m}$ 程度の厚さの

5 シリコン基板 2 を切断する場合は、サンドブラスト加工もしくはレーザー加工が適している。本実施の形態においては、サンドブラスト加工による例を説明する。

Fig 9、Fig 10 は、サンドブラスト加工による切断工程を示す。上述したシリコン基板 2 の機械研磨による薄膜化及びピックアップ用基板 9 への転写の後、シリコン基板 2 に形成した集積回路 3 の間にて切断できるように、位置合わせ及び画素制御素子 1 のパターニングを行う。パターニングは、フォトリソグラフィ法などによって行う。Fig 9 は、フォトリソグラフィによって、パターニングを行った後の状態を示したものである。次に、Fig 10 のように、パターニングによって形成したフォトレジスト 11 をマスクとして、サンドブラスト加工を行う。サンドブラスト加工によって、個々の画素制御素子 1 に切り分けた後、フォトレジスト 11 を剥離する。Fig 11 は、フォトレジスト 11 を剥離した後の様子を示している。

10

15

Fig 11 に示される段階においては、ピックアップ用基板 9 上に、第 1 の方向 X のピッチ 5 が p_x/m 、第 2 の方向 Y についてはピッチ 6 が p_y/n となるように画素制御素子 1 が配列された状態にある。次の工程 R 5 においては、ピックアップ用基板 9 を低温で加熱して第 2 の粘着テープ 10 の粘着力を少し低下させ、この配列された画素制御素子 1 から、所定の画素制御素子 1 のみをピックアップして、平面ディスプレイ基板 100 上に画素制御素子 1 を配置する。このとき、ピックアップ工程が終わるまで、ピックアップ用基板 9 を加熱しつつけてもよいが、ピックアップする画素制御素子 1 の近辺のみを、ピックアップ時に加熱するようにしてもよい。このようにすることで、加熱時間及び熱量を少なくすることができる。また、第 2 の粘着テープ 10 として、紫外線照射により粘着力が

20

25

低下するものを使用し、ピックアップ用基板 9 に紫外線を透過するものを使用した場合、ピックアップする画素制御素子 1 の近辺のみに紫外線ビームを短時間照射することにより、第 2 の粘着テープ 10 の粘着力低下に必要な時間及び熱量（紫外線照射量）を少なくすることができる。

- 5 Fig 12 は、工程 R 5 においてピックアップを行うピックアップ装置 51 の真空チャック 52 を示したものである。真空チャック 52 の吸着面には、フッ素樹脂が塗布されている。このフッ素樹脂は、後述する透明熱可塑性樹脂フィルム 101 等による透明な熱可塑性樹脂膜との離型剤としての役割を持つ。画素制御素子 1 のチャッキング（吸着）を行う真空吸着穴 53 が、第 1 の方向 X には、平面ディスプレイ基板 100 上の画素制御素子 1 と同じ配列ピッチ 55（すなわち p_x ）で自然数 K 列形成され、第 2 の方向 Y にも同様に配列ピッチ 56（すなわち p_y ）で自然数 L 行形成されている。したがって、この真空チャック 52 によって、平面ディスプレイ基板 100 上における第 1 の方向 X のピッチ 105 及び第 2 の方向 Y のピッチ 106 を満たす画素制御素子 1 を、一度に最大 $K \times L$ 個ピックアップし、平面ディスプレイ基板 100 に転写することができる。
- 10
- 15

- Fig 13 において斜線が付された部分は、第 1 の方向 X にピッチ 5（すなわち p_x/m ）にて、第 2 の方向 Y にピッチ 6（すなわち p_y/n ）にて規則正しく配列されている画素制御素子 1 において、真空チャック 52 によってピックアップされる画素制御素子 1 の一例を示す。すなわち、第 1 の方向 X には自然数 m 個ごとに（ $m-1$ 個おきに）選択し、第 2 の方向 Y には自然数 n 個ごとに（ $n-1$ 個おきに）選択することとなるため、斜線が付された箇所の画素制御素子 1 が選択的にピックアップされることとなる。そして、次のピックアップ時は、例えば、真空チャック 52 をピックアップ用基板 9 上において幅 p_x/m だけ第 1 の方向 X（Fig 13 において右方向）にずらした位置に来るようにすれば、既にピックアップされた画素制御素子 1（Fig 13 において斜線が付されたもの）の右隣に位置する画素制御素子 1 を、前回のピックアップ時と同様に選択的にピ
- 20
- 25

ックアップすることができる。このような選択的なピックアップ操作を最大 $m \times n$ 回繰り返すことができる。また、Fig 14は、真空チャック52を用いて画素制御素子1をピックアップする状態を示す。このようにして、画素制御素子1の選択転写を1回もしくは、複数回行うことによって、平面ディスプレイ基板100全面に画素制御素子1を転写する。

次に、ピックアップされた画素制御素子1を平面ディスプレイ基板100へ固定する方法について説明する。Fig 15に示すように、平面ディスプレイ基板100の表面には、透明熱可塑性樹脂フィルム101がラミネート加工されている。透明熱可塑性樹脂フィルム101に代えて透明熱可塑性樹脂を塗布して膜形成しても、透明熱可塑性樹脂による平面ディスプレイ基板100としても良い。このような平面ディスプレイ基板100を、Fig 16に示すように、画素制御素子1の転写前に予めヒーター等により加熱しておき、適度に塑性変形可能となった透明熱可塑性樹脂フィルム101上に、ピックアップされた画素制御素子1を埋め込むように転写する。

15 或いは、ピックアップされた画素制御素子1を透明熱可塑性樹脂フィルム101上に載せた後、プレスを行って埋め込むように転写してもよい。このとき、透明熱可塑性樹脂フィルム101は充分に加熱されていないため画素制御素子1との密着性が弱く、真空チャック52に吸着された画素制御素子1が透明熱可塑性樹脂フィルム101上に接触して真空吸着穴53から画素制御素子1が離れる瞬間に、画素制御素子1がわずかに位置ズレしてしまうことがある。そこで、画素制御素子1が真空吸着穴53から離れるときに、真空吸着穴53から圧空をかけて、この圧空による圧力を持って画素制御素子1を透明熱可塑性樹脂フィルム101に載せることにより、画素制御素子1と透明熱可塑性樹脂フィルム101とが密着するため、真空吸着穴53から画素制御素子1を確実に離すとともに、透明熱可塑性樹脂フィルム101上における位置ズレを防止することができる。

 プレスの方法としては、画素制御素子1の配置後あるいは配置時に、透明熱可

塑性樹脂フィルム 101 を加熱して塑性変形可能としてからプレス装置等（図示せず）によりプレスしてもよいし、プレス装置等を加熱してプレスしてもよい。また、プレスする時期（タイミング）においては、全ての画素制御素子 1 を配置し終えた後に、一括して平面ディスプレイ基板 100 をプレスするようにしてもよいし、任意の数量（例えば、平面ディスプレイ基板 100 上の所定の面積に配置する数量）の画素制御素子 1 を配置し終えた後にプレスするようにしてもよい。

5 このとき、真空チャック 52 の真空吸着穴 53 の周辺をわずかに残して、残りの部分を画素制御素子 1 の厚さと同じかそれ以上の厚さだけ削り取っておくことが望ましい。例えば、真空吸着穴 53 に画素制御素子 1 を吸着させたときに、吸着

10 穴 53 の周辺部分で画素制御素子 1 に隠れてしまう領域を残し、残りの部分を上記のように削り取る等である。これにより、既に配置されている画素制御素子 1 が真空チャック 52（特に辺縁部）に干渉して位置ズレしてしまうことが防止される。また、ピックアップ時において、ピックアップ用基板 9 上におけるピックアップされていない画素制御素子 1（すなわち、未配置の画素制御素子 1）に真

15 空チャック 52 が干渉することによる位置ズレや画素制御素子 1 を損傷してしまうことが防止される。

また、画素制御素子 1 の埋め込みにおける別の方法として、レーザー光の照射等により局所的に加熱するようにしてもよい。この場合、画素制御素子 1 を転写する場所が局所的に可塑化するため、埋め込むように力を加えて転写したときに、

20 既に転写されている画素制御素子 1 近辺の透明熱可塑性樹脂フィルム 101 を変形させて位置ズレを起こすことが防止される。

また、上述したように、真空チャック 52 の画素制御素子 1 を吸着する面（吸着面）には、フッ素樹脂が塗布されているため、真空チャック 52 の吸着面に透明熱可塑性樹脂フィルム 101 等による透明な熱可塑性樹脂膜が付着してしまう

25 ことがない。これにより、本発明においては、画素制御素子 1 を透明熱可塑性樹脂フィルム 101 に正確かつ確実に配置することができるため、透明熱可塑性樹脂

脂フィルム101に従来の特許文献1や非特許文献1における凹部をあらかじめ形成する工程が不要となる。Fig 17は、透明熱可塑性樹脂フィルム101に画素制御素子1を埋め込むように転写された状態を示す。

また、Fig 17に示されるように、透明熱可塑性樹脂フィルム101へ画素
5 制御素子1を埋め込むように転写すると、特に画素制御素子1の周辺部に透明熱可塑性樹脂フィルム101の凹変形103が生じる場合がある。この凹変形103の平坦化及び画素制御素子1を確実に固定化するために、Fig 18のように、平面ディスプレイ基板100の画素制御素子1を転写した面に透明紫外線硬化樹脂膜104を塗布し、Fig 19のように、画素制御素子1を選択転写した反対
10 側の面から、紫外線照射を行う。平面ディスプレイ基板100及び透明熱可塑性樹脂フィルム101は紫外線を透過させるので、紫外線を透過しない画素制御素子1表面以外の透明紫外線硬化樹脂膜104が硬化する。その後、画素制御素子1上の硬化しなかった透明紫外線硬化樹脂膜104を除去する。Fig 20は、除去処理後の平面ディスプレイ基板100を示す。また、透明紫外線硬化樹脂膜
15 104として、その後の液晶ディスプレイ200への組み立てに使用される有機系溶媒の処理に耐えうる材質のものを選択することによって、透明熱可塑性樹脂フィルム101を有機系溶媒から保護することが可能となる。

(配線形成方法)

以上に説明した方法で画素制御素子1を平面ディスプレイ基板100上に固定
20 化した後、工程R6において、Fig 21に示すように平面ディスプレイ基板100の表面に透明電極（画素或いは画素電極）102を形成する。次に、Fig 22及びFig 23に示すように、画素制御素子1と透明電極102との間の配線（画素ライン）107、ゲートライン108及びデータライン109等の配線を形成する。

25 本実施の形態では、複数の画素を制御する画素制御素子1とゲートライン108とデータライン109と画素ライン107等の配線をスクリーンマスクMMを

使用したスクリーン印刷による印刷塗布方法によってパターン形成する。複数の画素を制御する画素制御素子1には、F i g 3 2 (a) に示すように、その内部を通過する配線D 9, P 7, G 8が多層構造で形成されている(つまり、縦方向のデータライン1 0 9を直線状に維持することができる。)。すなわち、ゲートライン1 0 8とデータライン1 0 9と画素ライン1 0 7等の配線と接続することとなる配線D 9, P 7, G 8が予め形成されている。他方、スクリーンマスクMMとしては、メタルマスクとメッシュマスクがあり、いずれでも良いが、後述する理由からメタルマスクMMを使用することが好ましい。メタルマスクMMを使用したスクリーンマスクMMの一例を示すものがF i g 3 2 (b) で、金属箔のスクリーンマスクMMに、画素ライン1 0 7、ゲートライン1 0 8、データライン1 0 9に対応する破線状の所定パターン(縦横にスリットが形成されたパターン)の穴MD 9, MP 7, MG 8が形成されている。本実施の形態のスクリーン印刷は、メタルマスクMMとしては、厚さが2 0 μ m程度の金属箔のパターン部分(パターン)に穴を開けて、その部分からインク(配線材料)を塗布する。ここで、

15 符号MD 9はF i g 3 2 (c) の平面ディスプレイ1 0 0のデータライン1 0 9に対応するパターンであり、符号MP 7は同じく画素ライン1 0 7に対応するパターンであり、符号MG 8は同じくゲートライン1 0 8に対応するパターンである。なお、縦横の所定パターンMD 9, MP 7, MG 8の中央位置MSに複数の画素を制御する画素制御素子1が位置することとなる。上記画素制御素子1がゲートライン1 0 8やデータライン1 0 9などの画像全体を制御するために画面全体に設置される配線の一部が画面全体に配置されている複数画素を制御する画素制御素子1の内部を通過する構造とすると、これによりデータライン1 0 8やゲートライン1 0 9などの配線を上記スクリーンマスクMMを使用してパターン配線するとき、上記スクリーンマスクMMの縦横の所定パターンのように微小区域ごとに分割したスリット穴MD 9, MP 7, MG 8とすることができ、これらが

25 形成された上記スクリーンマスクMMを使用すれば、平面ディスプレイ基板1 0

0にゲートライン108等の配線を一度に形成することができる。この点、従来の液晶ディスプレイにおける配線は、縦横にまっすぐに伸びる配線間にTFTが一つ介在するもので、各画素に信号を送る信号線（データラインやゲートライン）は、縦横ほぼ一直線でつながってしまい、メタルマスク自体の加工は不可能であった。また、その配線方法は、配線材料を平面ディスプレイ基板の全面に薄膜堆積して、それをフォトリソグラフィ法によるパターン転写により、そして、配線材料薄膜をエッチングし、レジスト膜除去等等といった高価で複雑な製造工程となっていた。なお、本実施の形態では、基板上の配線はすべて上記画素制御素子1により区切れる破線パターン（断続的パターン）になるためにすべての配線を上記方法で形成することが可能である。ただし、縦横に配線されるゲートライン108等の配線の主要部分（直線部分）を従来と同様の形成方法で形成しておき、上述した上記画素制御素子1が中心になる接続部分のみ本実施の形態の配線接続方法により形成しても良い。

本実施の形態では、データライン108とゲートライン109等の配線の間の破線状の中央部分に上記画素制御素子1が入るために、メタルマスクMMによるスクリーン印刷によって一括した効率の良い配線パターンが平面ディスプレイ基板100に直接配線材料を印刷塗布形成できるため、生産効率が格段に向上する。ただし、メタルマスクMMを使用する理由は、スクリーンメッシュを用いた方法では、10～20 μ m幅の細線の印刷が限界であり、LCD信号線は通常10 μ m程度であることから現状での使用が困難なことによる。これに対して、スクリーン印刷のメタルマスクMMを用いた方法では、10 μ m以下の細線を直接印刷することが可能であり、配線が従来技術よりも安価に実施できる利点がある。

次に、工程R7において、Fig 24に示すように平面ディスプレイ基板100の表面に配向膜110を形成し、ラビングを行う。さらに工程R8において、カラーフィルター基板111を貼り合わせた後、工程R9において、液晶112及びスペーサーの注入、封止を行って液晶ディスプレイ200が完成する。

(第2の実施の形態の平面ディスプレイ基板の製造方法)

本実施の形態は、F i g 2 5のフローチャートに示されるように、画素制御素子1の切断工程R 1 0の後に、ピックアップ用基板9への転写工程R 1 1を行うものである。工程R 2において、F i g 6に示されるシリコン基板2の機械研磨の後、工程R 1 0として、シリコン基板2に形成した集積回路3の間にて切断できるように、位置合わせ及び画素制御素子1のパターニングを行う。このとき、集積回路3は、シリコン基板2の表面側ではなく、保持基板7に接触する側にあるため、集積回路3の位置を上方から直接目視により確認しながら位置合わせをすることはできない。したがって、シリコン基板2の裏面2 bに集積回路3の位置を示す位置合わせマークを設けたり、シリコン基板2と保持基板7とに位置合わせ用の貫通穴を設けたりすることにより、位置合わせをすることができる。また、保持基板7及び第1の粘着テープ8を透明なものとすれば、裏面側から集積回路3の位置を確認することができる。

パターニングは、フォトリソグラフィ法などによって行う。パターニング後の状態をF i g 2 6に示す。次に、F i g 2 7のように、パターニングによって形成したフォトレジスト1 1をマスクとして、サンドブラスト加工を行う。サンドブラスト加工によって、個々の画素制御素子1に切り分けた後、フォトレジスト1 1を剥離する。F i g 2 8は、フォトレジスト1 1を剥離した後の様子を示している。

次に、工程R 1 1として、F i g 2 9に示すように、画素制御素子1の裏面とピックアップ用基板9とを第2の粘着テープ1 0で接着し、保持基板7を介して第1の粘着テープ8を加熱して第1の粘着テープ8及び保持基板7を剥離する。ここで、第1の粘着テープ8を加熱している間は粘着力が低下しているため、剥離によって画素制御素子1が飛び散って、規則的配列が乱れる恐れがある。そのため、加熱による剥離時に、画素制御素子1を若干プレス固定しながら第1の粘着テープ8を加熱することにより、画素制御素子1が飛び散ったり位置ズレを起

こしたりしないようにするなどの配慮が必要である。このようにして画素制御素子1を保持基板7からピックアップ用基板9に転写する。このとき、Fig 30に示すように、集積回路3が形成された面は表面側となる。

ここで、第1の実施の形態と同様に、第1の粘着テープ8の熱剥離温度が第2の粘着テープ10の熱剥離温度よりも低いものとなるように、それぞれの粘着テープ8, 10を選択することは、位置ズレ防止の観点から望ましい。また、それぞれの粘着テープ8, 10の粘着力を異なるものとしてもよい。第1の粘着テープ8として、シリコン基板2の機械研磨及び画素制御素子1への切り分け工程において、画素制御素子1及び保持基板7にかかる力に耐え得るだけの粘着力を持つものを選択し、第2の粘着テープ10として、ピックアップしやすい粘着力のものを選択した場合は、より確実に位置ズレを防止し、その後のピックアップ工程がスムーズに行われることとなる。また、第1の実施の形態と同様に、ピックアップする画素制御素子1の近辺のみの粘着力を低下させるようにしてもよい。

(実施例)

次に、対角寸法50インチ、解像度SXGA (1280×3色×1024)、開口率80%の液晶ディスプレイを製造する場合について、特許文献1と比較しながら説明する。

(1) 素子形状の比較

本件の方法で、1素子で12画素を制御する場合、Siチップの大きさは、200μm程度となる。それに対して、特許文献1で、1素子で1画素を制御する場合、Siチップの大きさは、60μm程度になる。

(2) 素子ピッチの比較

本件の方法では、素子ピッチは横1.7mm、縦1.22mm程度となる。特許文献1では、素子ピッチは横0.3mm、縦0.6mm程度となる。

以上の前提から、本件の方法と特許文献1を比較すると、(1)「素子加工での生産性」としては、本件の方法での複数画素を制御する画素制御素子の方が、特

許文献 1 の方法での素子よりもはるかに大きいことから、加工による削りしろを少なくでき、材料消費量を低減可能で、加工工数もはるかに少なくなる。(2) 素子の基板への転写としては、本件の方法では、画素制御素子を平面ディスプレイ基板に転写するために、規則的配列で並んだ素子から、素子の配置ピッチで真空

5 穴を加工した真空チャックによって、素子を選択的にピックアップし、基板上に転写するが、真空穴としては、直径 $\phi 100 \mu\text{m}$ 程度でピッチ横 1.7 mm 、縦 1.2 mm で配列されたものとなる。転写される側の Si チップ基板の大きさが 8 インチウェハー程度の場合、一度に 9000 個程度の Si チップをピックアップすることが可能になる。一方、仮に特許文献 1 の方法によるとすると、 $\phi 40$

10 μm 程度の真空穴を 0.3 mm ピッチで加工する必要がある。また、仮に 8 インチウェハー基板から Si チップをピックアップする場合、約 11 万個の真空穴を加工する必要がある。現状の加工技術で、真空チャックとして使用可能な深い穴の加工では、 $\phi 100 \mu\text{m}$ は可能で、 $\phi 40 \mu\text{m}$ もの微細な穴加工は困難で、しかも、それを極めて多数加工する必要がある、特許文献 1 の方法は、現実では実

15 現できない。(3) 「素子の検査及び修復」についても、本件の方法が、配置する素子個数が少ないことから、素子の検査、修復も容易となる。また、特許文献 1 の方法 (素子の規則的配列) において、「ピックアップ&埋め込み」という方法を実施したとしても、先述のように、1 画素を 1 素子で制御する小さい素子では、ピックアップする真空チャック自体を加工することが困難となる。なお、素子自

20 体の大きさを大きくすると、開口率を下げるため、液晶ディスプレイの性能を落とすことになる。

以上、第 1 及び第 2 の実施の形態においては、本発明を液晶ディスプレイの製造に適用した場合を説明したが、本発明はこれに限るものではなく、有機 EL 等による平面ディスプレイの製造にも広く適用可能である。

25 (画素制御素子の実装装置)

次に、第 1 及び第 2 の実施の形態において説明した方法により画素制御素子を

実装するための装置について説明する。F i g 3 1 に、本実施の形態による画素制御素子 1 の実装装置 3 0 0 を示す。この実装装置 3 0 0 は、画素制御素子 1 の平面ディスプレイ基板 1 0 0 への選択転写時におけるピックアップ機能及び配置機能を有し、F i g 2 5 における工程 R 5 を実施するものである。配置機能は、

5 画素制御素子 1 を保持する画素制御素子ステージ 3 0 1 及び平面ディスプレイ基板 1 0 0 を保持する基板ステージ 3 0 2 からなる。画素制御素子ステージ 3 0 1 は、静電チャック、低粘着テープなどの手段によって画素制御素子 1 を保持し、ヒーター或いは紫外線照射装置等の剥離機構 3 0 3 を備えている。また、基板ステージ 3 0 2 は、真空チャック、静電チャック、メカニカルチャックなどによつて平面ディスプレイ基板 1 0 0 を保持するものであり、ヒーター等による加熱機構 3 0 9 を備えている。メカニカルチャックを用いる場合は、平面ディスプレイ基板 1 0 0 の端部を保持するものとする。また、画素制御素子ステージ 3 0 1 及び基板ステージ 3 0 2 は、それぞれ回転角度調節機構を有しており、コンピュータ等による制御装置 3 0 8 により回転角度を調節制御される。ピックアップ機能

10 は、画素制御素子 1 を選択的に吸着するピックアップ装置 5 1、ピックアップ装置 5 1 に付随した位置合わせ用カメラ 3 0 4、X 軸調節機構 3 0 5、Y 軸調節機構 3 0 6、及び Z 軸調節機構 3 0 7 からなる。各軸調節機構 3 0 5、3 0 6、3 0 7 は、それぞれの軸について、ピックアップ装置 5 1 を最適な場所に位置合わせするものであり、それぞれ制御装置 3 0 8 により位置合わせ制御される。また、

15 位置合わせ用カメラ 3 0 4 の映像データは制御装置 3 0 8 に送られ、制御装置 3 0 8 のモニタ（図示せず）に映像が表示されるようになっている。

以下に、実装装置 3 0 0 を用いた画素制御素子 1 の実装を説明する。画素制御素子 1 が保持されているピックアップ用基板 9 を画素制御素子ステージ 3 0 1 に載置し、平面ディスプレイ基板 1 0 0 を基板ステージ 3 0 2 に載置した後、それぞれ

25 ぞれの平行調整を行う。平行調整は、ピックアップ用基板 9 における第 1 の方向 X と、平面ディスプレイ基板 1 0 0 における第 1 の方向 X と、X 軸調節機構 3 0

5の可動方向とが平行となるようにそれぞれのステージ301, 302の回転角度調節機構を調整するものである。それぞれの基板9, 100における第2の方向Y, YとY軸調節機構306の可動方向とが平行となるように平行調整してもよい。平行度の確認の基準として、予め、画素制御素子1を形成したシリコン基板2もしくはピックアップ用基板9及び、平面ディスプレイ基板100に位置合わせマークM1を設置しておくことにより、容易に行うことができる。或いは、画素制御素子1の端部と、平面ディスプレイ基板100の端部とを基準としても良い。そして、平行度の確認は、位置合わせ用カメラ304を使用して制御装置308のモニタを確認しながら、シリコン基板2もしくはピックアップ用基板9の位置合わせマークM2、或いは画素制御素子1及び平面ディスプレイ基板100の端部を観察して、ピックアップ用基板9の第1の方向Xが、X軸調節機構305の可動方向と平行になるように、画素制御素子ステージ301を回転させる。同様に、平面ディスプレイ基板100の第1の方向Xが、X軸調節機構305の可動方向と平行になるように、基板ステージ302を回転させる。このとき、制御装置308において位置合わせ用カメラ304からの信号を画像処理することにより、自動平行調整をさせるようにしてもよい。

平行調整後、シリコン基板2或いはピックアップ用基板9の位置合わせマークM2の位置情報と、平面ディスプレイ基板100の位置合わせマークM1の位置情報を制御装置308に記憶させる。これらの位置情報はそれぞれ、X軸調節機構305、Y軸調節機構306及びZ軸調節機構307の位置情報からなる。それぞれの位置合わせマークM1, M2に代えて、例えば画素制御素子1の左下のチップ（基準とするチップ）位置や、平面ディスプレイ基板100の手前左を、基準位置として、これらの位置情報を制御装置308に記憶させてもよい。

位置情報の記憶終了後、画素制御素子1のピックアップを行う。ピックアップ前に、予め剥離機構303のヒーターや紫外線照射装置を駆動して、ピックアップ用基板9の第2の粘着テープ10を低粘着状態にしておく。また、予め加熱機

構 3 0 9 のヒーターを駆動し、平面ディスプレイ基板 1 0 0 の透明熱可塑性樹脂
フィルム 1 0 1 を塑性変形可能にしておく。ピックアップ装置 5 1 には、第 1 の
実施の形態で述べたとおり、真空チャック 5 2 が備えられており、平面ディス
5 レイ基板 1 0 0 上における画素制御素子 1 のピッチ 1 0 5, 1 0 6 と同じピッチ
5 5 5, 5 6 で、真空吸着穴 5 3 が備えられ、真空吸着穴 5 3 の位置情報は、予め
制御装置 3 0 8 に記憶されている。そして、制御装置 3 0 8 により X 軸調節機構
3 0 5、Y 軸調節機構 3 0 6 及び Z 軸調節機構 3 0 7 を駆動させて、真空チャッ
ク 5 2 を画素制御素子ステージ 3 0 1 の上方に移動させ、画素制御素子 1 をピッ
クアップする。最初にピックアップする画素制御素子 1 を、先の基準位置に最も
10 近い位置にある画素制御素子 1 とすると、その後の制御が効率的に行われるので
好ましい。

第 1 の実施の形態において述べた通り、第 2 の粘着テープ 1 0 及びピックアッ
プ用基板 9 の種類によっては、第 2 の粘着テープ 1 0 を低粘着化するとき、紫外
線ビーム等のエネルギー線により行うことが可能である。このとき、剥離機構 3
15 0 3 として熱線や紫外線ビームを発生するエネルギー線発生装置を使用し、ピッ
クアップ前にこれをスタンバイ状態にしておく。そして、ピックアップ時（或い
は直前）に、ピックアップする画素制御素子 1 の近辺のみにエネルギー線を照射
し、第 2 の粘着テープ 1 0 を部分的に低粘着化する。したがって、ピックアップ
工程が終わるまで加熱状態（或いは紫外線照射状態）を保つ必要がなく、ピック
20 アップしない画素制御素子 1 の近辺の粘着テープ 1 0 が低粘着状態とならないた
め、ピックアップ基板 9 上において画素制御素子 1 の配列を乱してしまうことが
ない。

画素制御素子 1 をピックアップした真空チャック 5 2 を、X 軸調節機構 3 0 5、
Y 軸調節機構 3 0 6 及び Z 軸調節機構 3 0 7 を駆動して平面ディスプレイ基板 1
25 0 0 の上方まで搬送し、平面ディスプレイ基板 1 0 0 上に画素制御素子 1 を実装
する。これらの画素制御素子 1 のピックアップ及び実装を繰り返し行い、平面デ

ディスプレイ基板100の全面に、画素制御素子1を実装する。さらに、画素制御素子ステージ301及びピックアップ装置51を複数設置しておき、数ロットの画素制御素子1を並行して実装すると生産性の向上を図ることができる。

- また、予め加熱機構309により透明熱可塑性樹脂フィルム101が塑性変形可能となっているため、真空チャック52を透明熱可塑性樹脂フィルム101に押し付けるように画素制御素子1を実装すると、画素制御素子1が透明熱可塑性樹脂フィルム101に埋め込まれるように配置される。加熱機構309により予め加熱しないか、或いは基板ステージ302に加熱機構309を設けずに、画素制御素子1を、平面ディスプレイ基板100（透明熱可塑性樹脂フィルム101）上に配置した後に、上方から加熱プレスして、透明熱可塑性樹脂フィルム101に埋め込むように実装しても良い。また、裏面側からレーザー光の照射等により透明熱可塑性樹脂フィルム101を局所的に加熱するようにしてもよい。

- 画素制御素子1の実装後に、透明紫外線硬化樹脂膜104を使用する場合は、平面ディスプレイ基板100の画素制御素子1配置面に透明紫外線硬化樹脂膜104を塗布した後、別の紫外線照射装置（図示せず）を用いて、平面ディスプレイ基板100裏面より紫外線照射を行うことによって、画素制御素子1の固定化を行う。このとき、基板ステージ302に紫外線照射装置を組み込んでおいても良い。

- この実装装置300は、ピックアップ用基板9上の画素制御素子1をピックアップして平面ディスプレイ基板100に実装するものであるが、第1及び第2の実施の形態におけるピックアップ及び実装工程R5以外の工程は、周知の製造装置（例えば、半導体製造装置やフォトリソグラフィー装置等）を用いて行うことができる。すなわち、画素制御素子1の実装に関する装置が既に導入されている場合は、本実施の形態における実装装置300のみを新規に導入するだけで、第1及び第2の実施の形態において説明した画素制御素子の実装方法を行うことができることとなる。

(実施例)

上記の実装装置 300 を用いて、実際に液晶ディスプレイ用の平面ディスプレイ基板 100 に画素制御素子 1 を選択転写した例を説明する。本実施例の液晶ディスプレイ 200 は、対角寸法 50 インチ、解像度 SXGA である。8 インチ (直径 200 mm) のシリコン基板 2 に、縦 $200\ \mu\text{m}$ × 横 $150\ \mu\text{m}$ の大きさの画素制御素子 1 を、第 1 の方向 X のピッチ 5 を 0.215 mm 、第 2 の方向 Y のピッチ 6 を 0.244 mm 、厚さを 0.06 mm で製作した場合、1 枚のシリコン基板 (素子形成部分は $140\text{ mm} \times 140\text{ mm}$) から、37 万個の画素制御素子 1 が製作される。対角寸法 50 インチ ($1107\text{ mm} \times 623\text{ mm}$) で SXGA ($1280 \times 1024 \times 3$ 色) の解像度の液晶ディスプレイ 200 を製造するとした場合、一画素 (3 色) の大きさは $0.86\text{ mm} \times 0.61\text{ mm}$ となる。すなわち、平面ディスプレイ基板 100 上での画素制御素子 1 の間隔は、第 1 の方向 X のピッチ 105 は 1.72 mm 、第 2 の方向 Y のピッチ 106 は 1.22 mm となる。その際に必要な画素制御素子 1 は、約 33 万個である。すなわち、1 枚のシリコン基板 2 で、50 インチの液晶ディスプレイ 200 に使用される平面ディスプレイ基板 100 の 1 枚分の画素制御素子 1 を製作できる。

このようにして製作された画素制御素子 1 をピックアップする真空チャック 52 には、径が $100\ \mu\text{m}$ の真空吸着穴 53 が、第 1 の方向 X のピッチ 55 が 1.72 mm 、第 2 の方向 Y のピッチ 56 が 1.22 mm となるように、第 1 の方向 X に 80 (=K) 列、第 2 の方向 Y に 102 (=L) 行形成されているものを使用した。

この真空チャック 52 によって、画素制御素子 1 の中から、平面ディスプレイ基板 100 の第 1 の方向 X のピッチ 105 (= 1.72 mm)、第 2 の方向 Y のピッチ 106 (= 1.22 mm) で、 $K \times L$ (= $80 \times 102 = 8160$) 個の画素制御素子 1 をピックアップし、平面ディスプレイ基板 100 に転写した。これを繰り返して行い、画素制御素子 1 を平面ディスプレイ基板 100 の全面に転写

した。その結果、第1の方向Xに8回、第2の方向Yに5回の計40回の選択転写によって、平面ディスプレイ基板100の全面に画素制御素子1を転写できた。

(本実施の形態と特許文献2との比較)

- 特許文献2の発明は、本発明の画素制御素子に相当する「素子ブロック13」
- 5 を一つずつピックアップして転写しているのに対して、本発明は、複数の画素制御素子を所定のピッチでピックアップして転写している。すなわち、特許文献2には、「素子ブロック13の単位での素子形成基板11からの剥離が行われ(段落番号0018)」、「転写後では、素子ブロック13同士の間隔が拡大したものとなる(段落番号0023)」と記載されている。また、段落番号0030及びFig
- 10 8には、特許文献2で使用される把持手段(本発明のピックアップ装置)について説明されている。把持手段には、素子ブロック13(本発明の画素制御素子)を吸着する中空部35やガス抜き穴34(本発明の真空吸着穴)について記載されているが、中空部35やガス抜き穴34は一つであり、把持手段(ピックアップ装置)によって吸着把持できる画素ブロック13は一つとなっている。つまり、
- 15 特許文献2においては、一つの素子ブロック13(本発明の画素制御素子)を吸着把持可能な把持手段(ピックアップ装置)を使用して、素子ブロック13ごとにピックアップが行われ、表示装置基板14(平面ディスプレイ基板)に転写される(Fig36(a))。このため、ピックアップ及び転写は素子ブロック13
- (本発明の画素制御素子)ごとに、その個数と同回数行う必要があり、さらに、
- 20 一つの素子ブロック13をピックアップ及び転写するごとに表示装置基板14上において位置合わせを行う必要がある。

- これに対して、本発明は、「上記画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する
- 25 第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画

素制御素子を複数形成し、ピックアップ装置には、画素制御素子のチャッキングを行う真空吸着穴が、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されており、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写する（請求の範囲1参照）」と記載されているように、画素制御素子用基板上の画素制御素子の配列ピッチ（ p_x/m 、 p_y/n ）とピックアップ装置の真空吸着穴の配列ピッチ（ p_x 、 p_y ）は、平面ディスプレイ基板の配列ピッチ（ p_x 、 p_y ）と関連付けられていることから、一回のピックアップにより平面ディスプレイ基板上での配列ピッチ（ p_x 、 p_y ）で複数の画素制御素子が選択され、その配列ピッチを保ったまま平面ディスプレイ基板に転写されることとなる（Fig 36 (b)）。すなわち、23ページ5行目に記載のように、第1の方向Xには自然数 m 個ごとに（ $m-1$ 個おきに）選択し、第2の方向には自然数 n 個ごとに（ $n-1$ 個おきに）選択することとなるため、Fig 13の斜線が付された箇所の複数の画素制御素子1が選択的にピックアップされることとなる。したがって、特許文献2のように、素子ブロック13（本発明の画素制御素子）ごとにピックアップ及び転写する場合と比較して、ピックアップ及び転写の回数が少なく、生産効率が高い。

また、表示装置基板14（本発明の平面ディスプレイ基板）において素子ブロック13（本発明の画素制御素子）ごとに位置合わせが必要な特許文献2と比較して、ピックアップした時点で平面ディスプレイ基板上での配列ピッチ（ p_x 、 p_y ）となっているため、複数の画素制御素子の位置合わせが一度で行われる。この効果については、25ページ18行目の「したがって、この真空チャック52によって、平面ディスプレイ基板100上における第1の方向Xのピッチ105及び第2の方向Yのピッチ106を満たす画素制御素子1を、一度に最大 $K \times L$ 個ピックアップし、平面ディスプレイ基板100に転写することができる。」や、

26 ページ2行目の「次回のピックアップ時は、例えば、真空チャック52をピックアップ用基板9上において幅 p_x/m だけ第1の方向X (F i g 1 3において右方向) にずらした位置に来るようにすれば、既にピックアップされた画素制御素子1 (F i g 1 3において斜線が付されたもの) の右隣に位置する画素制御素子1を、前回のピックアップ時と同様に選択的にピックアップすることができる。」と明示されている。そして、このような位置合わせを行いながら正確にピックアップするものが、本発明の特徴である。

この点、特許文献2では、段落番号0017に「各薄膜トランジスタ素子12の間隔は素子間分離を図ることができる距離であれば良い」と記載されており、
10 画素形成用基板11 (本発明の画素制御素子用基板) における各薄膜トランジスタ素子12の配列ピッチについてはまったく考慮されていない。このことから、各薄膜トランジスタ素子12の集合体である素子ブロック13 (画素制御素子) の配列ピッチについてもまったく考慮されていないことがわかる。

特許文献2においては、F i g 3 6 (a) に示すように、転写元 (画素制御素子用基板) と転写先 (平面ディスプレイ基板) において、画素ブロック13 (画素制御素子) の配列ピッチが同一となるように対応付けられると考えられる。このような単なる対応付けでは、画素ブロック13 (画素制御素子) が画素制御素子用基板に拡散した状態で形成され、画素制御素子用基板の面積当りに対する画素制御素子の生産数が大変少ないものになってしまう。

20 これに対して、本発明は、「画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し」とあるように、画素制御素子用基板には、画素制御素子が
25 平面ディスプレイ基板の配列ピッチ (p_x , p_y) を自然数 (m , n) で除した

配列ピッチ (p_x/m , p_y/n) で形成されており、画素制御素子用基板と平面ディスプレイ基板との対応付けを行いながらも、画素制御素子を画素制御素子用基板に密集した状態で形成できるようになっている (Fig 36 (a))。これにより、上記単純な対応付けと比較して、画素制御素子用基板の面積当りに対する画素制御素子の生産効率が飛躍的に高くなっている。

また、上述したように、「素子ブロック 13」は 4 つの薄膜トランジスタ素子 12 がその外周の 4 つの画素を各々制御するものの集合であると考えられる。具体的には、Fig 35 (a) に示すように、田の字状の 4 つの画素の中央にこれらの 4 つの画素を制御する 4 つの薄膜トランジスタ素子 12 が密集するように配置されているものである。引用文献 2 もこれと同様である (Fig 5 参照)。すなわち、特許文献 2 の素子ブロック 13 (本発明の画素制御素子に相当) は、一つの画素を制御する一つの薄膜トランジスタ素子 12 が複数集合し、複数の薄膜トランジスタ素子 12 で複数の画素を制御するものであるのに対して、本発明の画素制御素子は一つの集積回路で複数の画素を制御するものである点で異なる。請求の範囲 1 の「一つの集積回路で複数の画素を制御する画素制御素子」を本発明の一実施の形態の液晶ディスプレイに適用した場合、液晶 112 を介してカラーフィルター基板 111 と対向する平面ディスプレイ基板 100 に一つの集積回路で複数画素 (例えば 3 色 \times 4 画素) の制御を行う画素制御素子とその配線と共に複数配置してなる。通常、ディスプレイでの配線部分は、光遮蔽部となる。このため、特許文献 2 のように、複数個の画素を一つの素子で制御使用とした場合、配線部分が素子に集中し、その部分が光遮蔽部となる。これに対して、本願発明では、上記画素制御素子とその配線により、省配線化が可能で、開口率の向上などの点での効用がある。

25 産業上の利用可能性

本発明の画素制御素子の選択転写方法によれば、平面ディスプレイ基板上にお

ける第1の方向及び第2の方向における配列ピッチをそれぞれ自然数で除した配列ピッチにて画素制御素子を形成し、その中から、平面ディスプレイ基板上における配列ピッチに対応する画素制御素子のみを選択的に転写するため、全ての画素制御素子が無駄なく容易に転写させることができる。このとき、集積回路面を

5 表面に向けた状態となるようにピックアップ用基板に転写してから画素制御素子を切り分ける場合は、表面側から集積回路面を確認しながら位置合わせをすることができるため、切り分け工程が容易なものとなる。一方、画素制御素子に切り分けた後に集積回路面が表面となるようにピックアップ用基板に転写する場合は、機械研磨工程や切り分け工程において集積回路面を確実に保護することができる

10 と同時に、保持基板の接着力を機械研磨や切り分け工程に耐え得る強いものとし、ピックアップ用基板の接着力を転写しやすいものとするよう、それぞれの目的に沿った接着力となるよう設定することができる。これにより、各工程における信頼性を高めることができる。また、それぞれの接着手段を異なるものとするこ

15 として、保持基板からピックアップ用基板へ画素制御素子を転写する際に、画素制御素子の配列を乱すことが防止される。

さらに、画素制御素子を塑性変形可能な透明な熱可塑性樹脂膜が施された平面ディスプレイ基板に固定させることにより、実装時や実装後における画素制御素子の位置ズレを容易かつ確実な方法で防止することができる。このとき、ピックアップ装置の画素制御素子を吸着する面にフッ素樹脂を塗布しておくことにより、

20 ピックアップ装置に透明な熱可塑性樹脂膜が付着してしまうことがない。また、特に、画素制御素子の配置後にプレスして画素制御素子を透明な熱可塑性樹脂膜に保持させる場合は、ピックアップ装置により吸着力と逆の方向へ圧空をかけて画素制御素子を透明な熱可塑性樹脂膜に配置することにより、画素制御素子が透明な熱可塑性樹脂膜に密着し、ピックアップ装置から画素制御素子を確実に離す

25 とともに、透明な熱可塑性樹脂膜における画素制御素子の位置ズレを防止することができる。

また、画素制御素子の上面すなわち集積回路形成部分を除いた側面部分を透明紫外線硬化樹脂膜で覆うことにより、確実に画素制御素子を固定することができるとともに、画素制御素子の上面から引き出される配線が安定的に形成されることとなる。

- 5 また、本発明の画素制御素子の選択転写方法に使用される画素制御素子の実装装置は、主に、画素制御素子をピックアップして平面ディスプレイ基板に実装する工程を行うものである。本発明の画素制御素子の選択転写方法において、この工程以外の工程は、周知の製造装置を用いて行うことができるため、本発明の画素制御素子の実装装置のみを新規に導入するだけで、本発明の画素制御素子の選
- 10 択転写方法を容易に実現することができる。また、既存の設備を利用することができるため、安価に実施することができる。

- また、本発明の画素制御素子画素制御素子転写後の配線形成方法は、複数の画素を制御する画素制御素子にその内部を通過する配線を形成する一方、所定パターンが形成されたスクリーンマスクを使用したスクリーン印刷によって形成することから、従来の複雑で高価な薄膜形成しかできなかった配線形成の作業効率を
- 15 格段に向上させ安価に配線することが可能になる。

- 本発明の平面ディスプレイ基板によれば、一方の基板と対向する平面ディスプレイ基板に一つの集積回路で複数画素の制御を行う画素制御素子とその配線と共に複数配置してなることから、省配線化が可能で、開口率の向上などの点での効
- 20 用がある。すなわち、画素制御素子は、一つの集積回路で複数の画素電極を制御する画素制御素子であり、 i 行 j 列の画素配列のほぼ中央に配されて、各画素と上記配線を介して接続されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積を小さくすることが可能になる。

- また、特許文献 2 では、2 画素ピッチで、素子が配置されることから、配線部
- 25 である光遮蔽部は、2 画素ピッチで入ることとなる。この場合、RG、BR、GB、RG、…というように 2 色づつに切り分けられることになるため、発色に問

- 題を生じる。これに対して、本願発明のように、前記 i 行 j 列は $i \times j$ が 3 の倍数であり、前記画素制御素子は、3 色となる 3 画素を組とすると、一つの集積回路で複数組を制御するものとする、RGB の 3 色をまとめた形で切り分けることができるため、本来必要な発色を行なうことが可能となり、隣接する画素との
- 5 混色を防止することができるため、コントラストの向上も期待できる。さらに、2 行 6 列で配列する 3 色 \times 4 画素の制御を行うものとする、6 画素ピッチで素子が配列されることから、開口率向上の効果を維持ながら、RGB の 3 色をまとめた形で切り分けることができるため、本来必要な発色を行なうことが可能となる。さらに、RGB で切り分けることにより、隣接する画素との混色を防止する
- 10 ことで、コントラストの向上も期待できる。

請 求 の 範 囲

1. 複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写する画素制御素子の転写方法において、

- 5 複数画素を制御する複数の集積回路が表面に形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、

- 10 上記画素制御素子形成用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、

- 15 上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的にピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする画素制御素子の選択転写方法。

2. 一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、

- 20 前記複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、

- 25 上記画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p

x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、

ピックアップ装置には、画素制御素子のチャッキングを行う真空吸着穴が、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されており、

上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする画素制御素子の選択転写方法。

3. 一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、

前記複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備え、

上記画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、

前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置と、ピックアップ装置を位置合わせするX軸調節機構、Y軸調節機構、及びZ軸調節機構を備え、上記画素制御素子ステージと基板ステージ

の両ステージはそれぞれ回転角度調節機構を有し、吸着穴は、前記第 1 の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第 2 の方向に対応する方向に p_y の配列ピッチで形成された実装装置を用いて、

上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ

- 5 基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする画素制御素子の選択転写方法。

4. 前記画素制御素子は、一つの集積回路で、2 行 6 列で配列する 3 色 \times 4 画素の制御を行うもので、2 行 6 列の中央に上記画素制御素子が転写されることを特徴とする請求の範囲 1 乃至請求の範囲 3 のいずれか一つの請求の範囲に記載の画素制御素子の選択転写方法。
- 10

5. 前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、

- 15 前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記画素制御素子用基板を表裏反転するようにピックアップ用基板に転写させて集積回路が形成された面を表側とした後に画素制御素子用基板を集積回路ごとに切断することを特徴とする請求の範囲 1 乃至請求の範囲 3 のいずれか一つの請求の範囲に記載の画素制御素子の選択転写方法。

- 20 6. 前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、集積回路面を保持基板側に向けた状態となるように接着し、

- 前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記保持基板上の集積回路を保持基板側に向けた状態の画素制御素子用基板を集積回路ごとに切断した後に、画素制御素子用
- 25

基板を表裏反転するようにピックアップ用基板に転写させることを特徴とする請求の範囲 1 乃至請求の範囲 3 のいずれか一つの請求の範囲に記載の画素制御素子の選択転写方法。

7. 請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載された画素制御素子の選択転写方法を行う実装装置であって、上記実装装置は、前記ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程を行うもので、前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置とを備え、
- 10 上記画素制御素子ステージと基板ステージの両ステージはそれぞれ回転角度調節機構を有し、ピックアップ装置は、X軸調節機構、Y軸調節機構、及びZ軸調節機構により直交する3方向に可動自在な機能を有し、吸着穴は、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されることを特徴とする画素制御素子の実装装置。
- 15 8. 請求の範囲 1 乃至請求の範囲 6 のいずれか一つの請求の範囲に記載された複数の画素を制御する画素制御素子にその内部を通過する配線を形成する一方、平面ディスプレイ基板に配線を形成するに際し、画素制御素子の内部配線と破線状に接続される平面ディスプレイの配線に対応する所定パターンが形成されたスクリーンマスクを使用したスクリーン印刷によって形成することを特徴とする画素制御素子転写後の配線形成方法。
- 20

9. 画素とこの画素を制御する画素制御素子がこれらを接続する配線と共に形成される平面ディスプレイ基板において、画素が i 行 j 列で配列されており、上記画素制御素子は、一つの集積回路で複数の画素を制御する画素制御素子であり、上記 i 行 j 列のほぼ中央に配されて、上記各画素との接続を共通の領域を使用した配線を介して接続されていることを特徴とする平面ディスプレイ基板。
- 25

10. 画素とこの画素を制御する画素制御素子がこれらを接続する配線と共に形

成される平面ディスプレイ基板において、

画素が i 行 j 列で配列されており、上記画素制御素子は、一つの集積回路で複数の画素を制御する画素制御素子であり、上記 i 行 j 列のほぼ中央に配されて、上記各画素との接続を共通の領域を使用した配線を介して接続され、

- 5 前記画素制御素子は、前記請求の範囲 1 乃至請求の範囲 6 記載の画素制御素子の転写方法により転写されることを特徴とする平面ディスプレイ基板。
 - 1 1. 前記 i 行 j 列は $i \times j$ が 3 の倍数であり、前記画素制御素子は、3 色となる 3 画素を組として、一つの集積回路で複数組を制御するものであることを特徴とする請求の範囲 9 又は請求の範囲 10 に記載の平面ディスプレイ基板。
- 10 1 2. 前記画素制御素子は、一つの集積回路で、2 行 6 列で配列する 3 色 \times 4 画素の制御を行うもので、2 行 6 列の中央に前記画素制御素子が配されていることを特徴とする請求の範囲 9 又は請求の範囲 10 に記載の平面ディスプレイ基板。
 - 1 3. 前記画素制御素子は、平面ディスプレイ基板上に転写されるもので、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板
- 15 に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備えた製造方法によって、平面ディスプレイ基板上に転写されることを特徴とする請求の範囲 9 乃至請求の範囲 12 のいずれか一つの請求の範囲に記載
- 20 の平面ディスプレイ基板。

Fig1

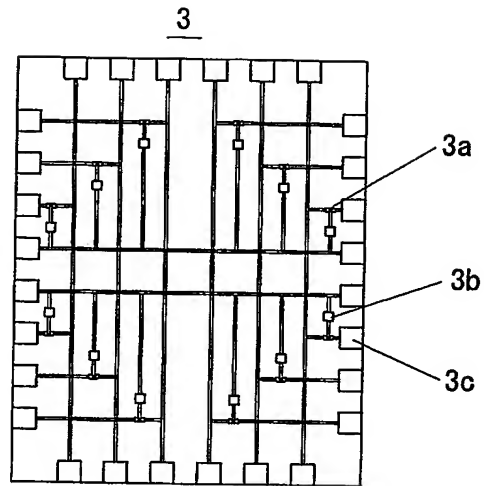


Fig2

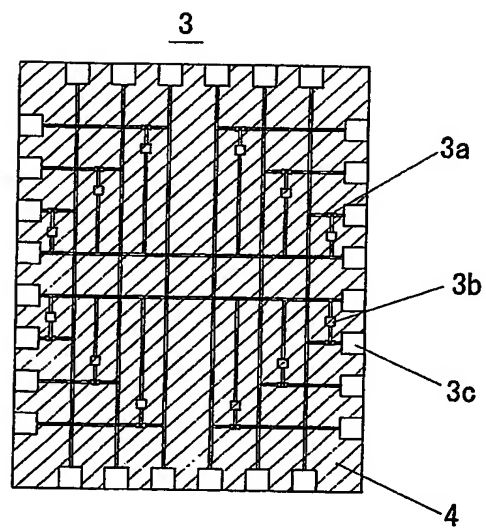


Fig3

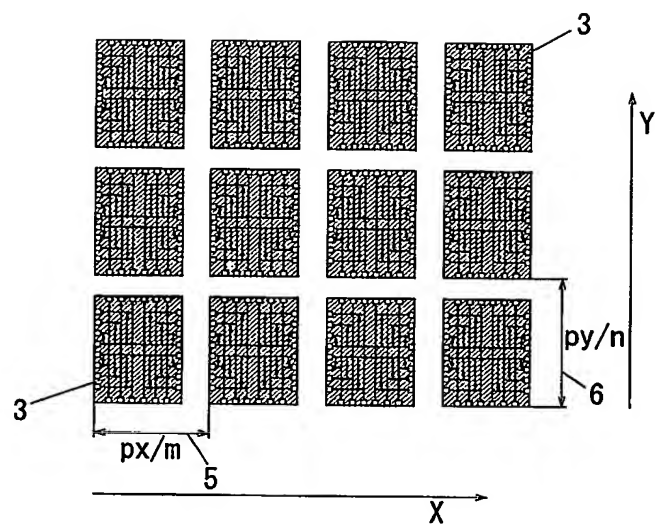


Fig4

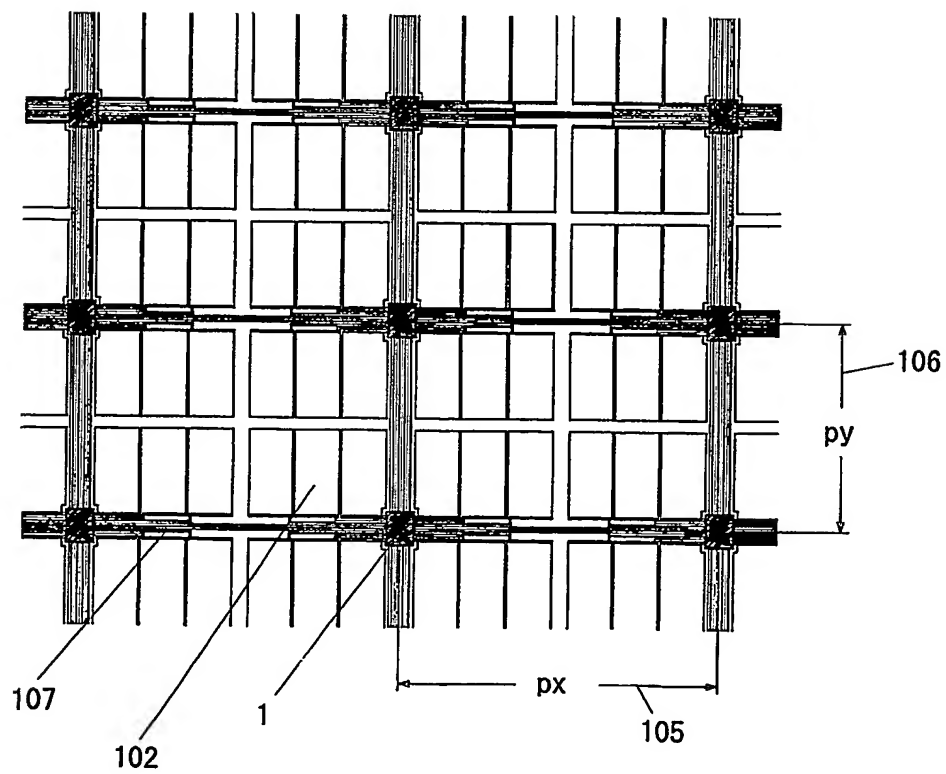


Fig5

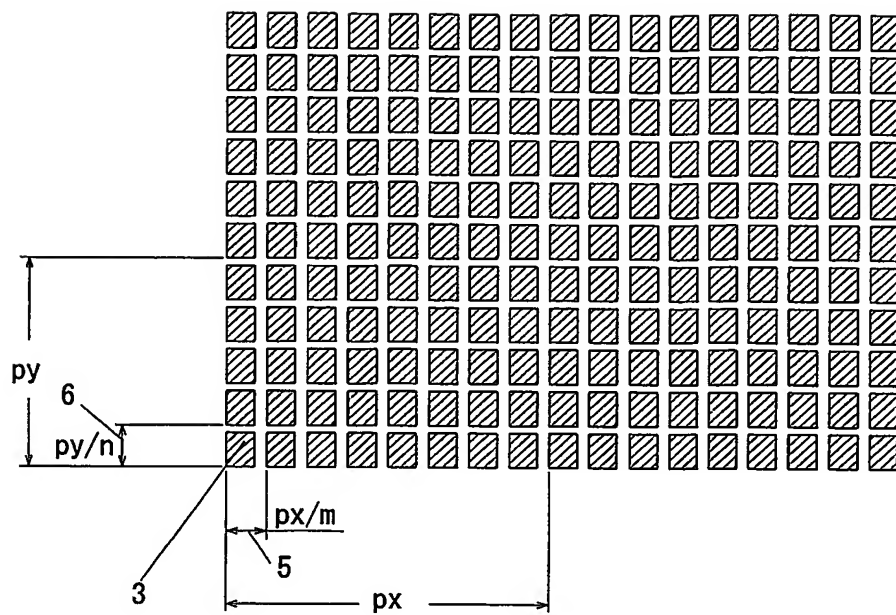


Fig6

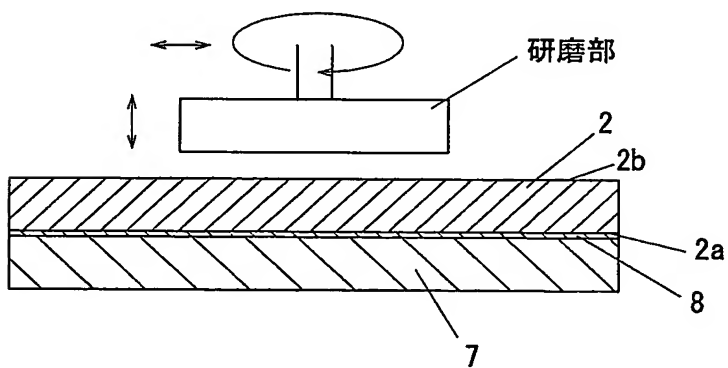


Fig7

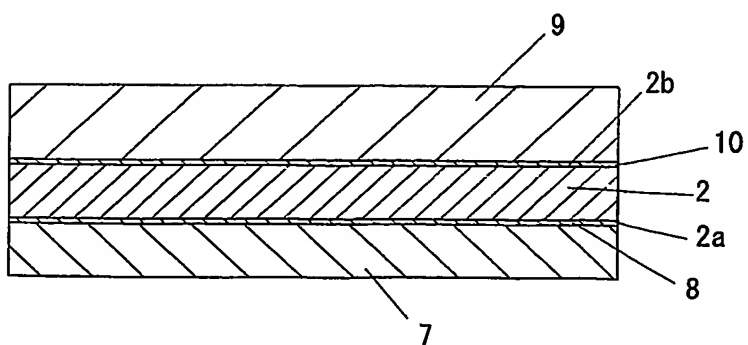


Fig8

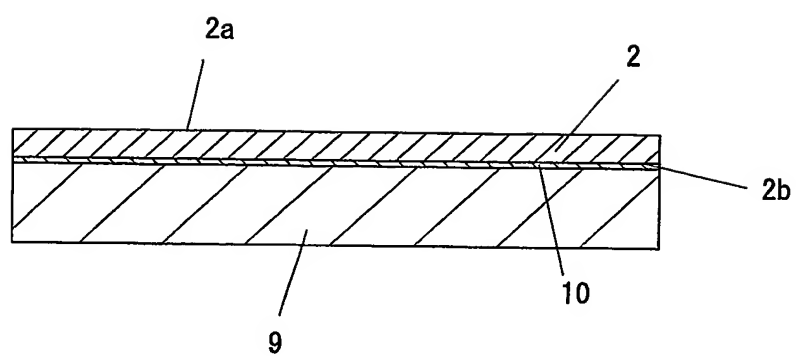


Fig9

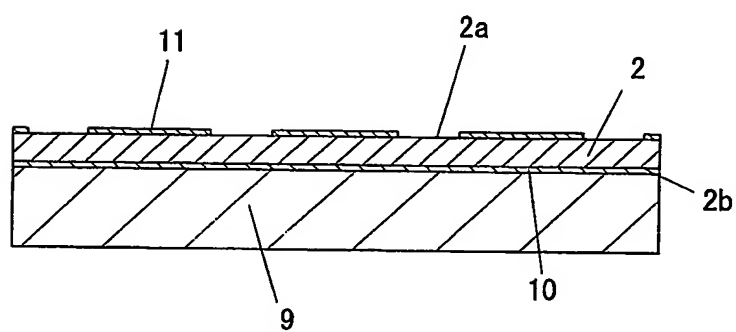


Fig10

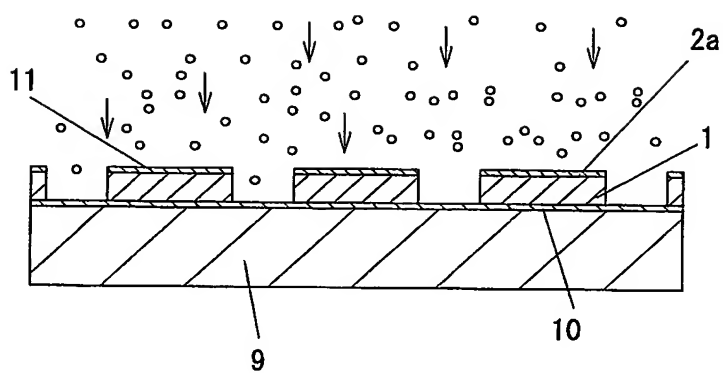


Fig11

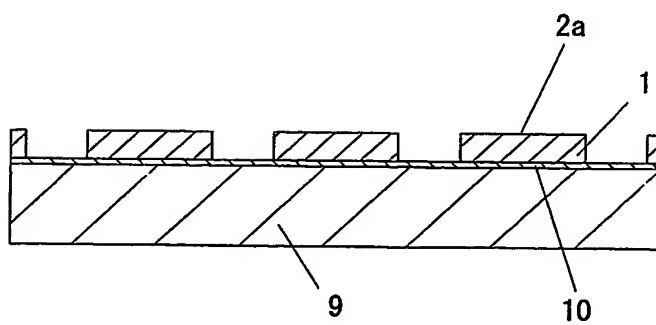


Fig12

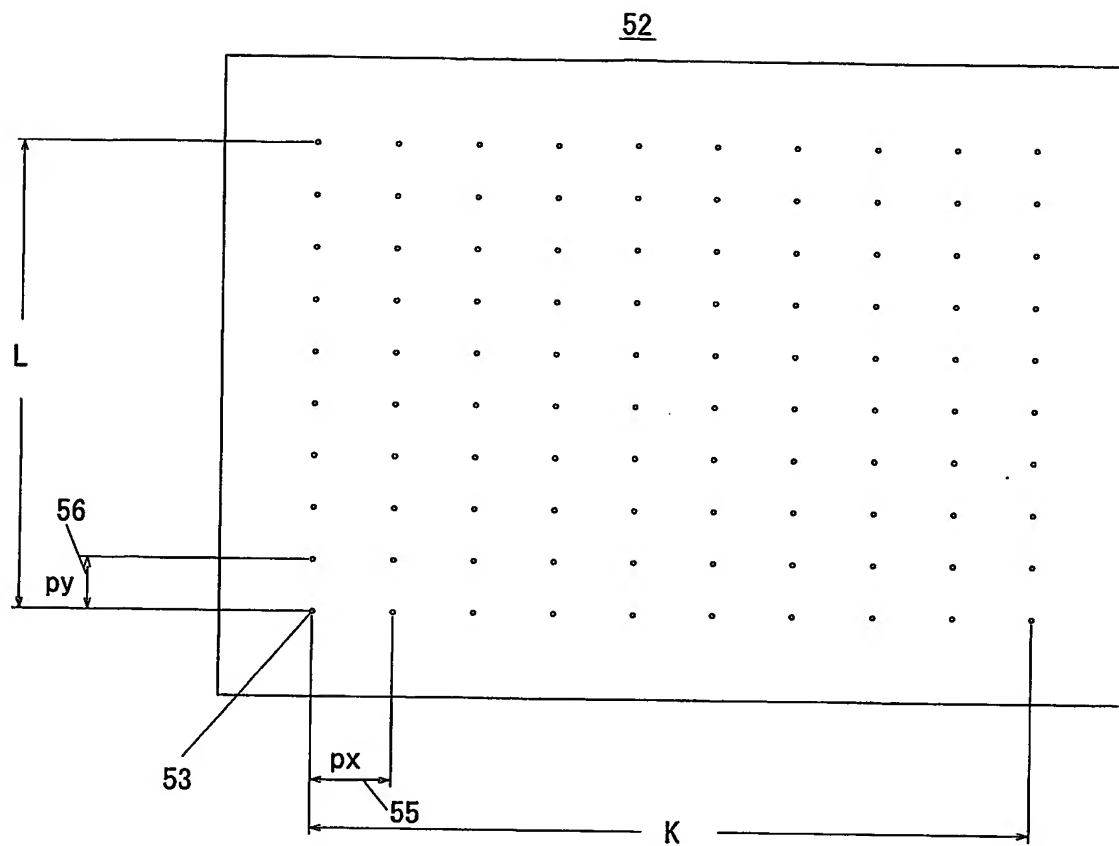


Fig13

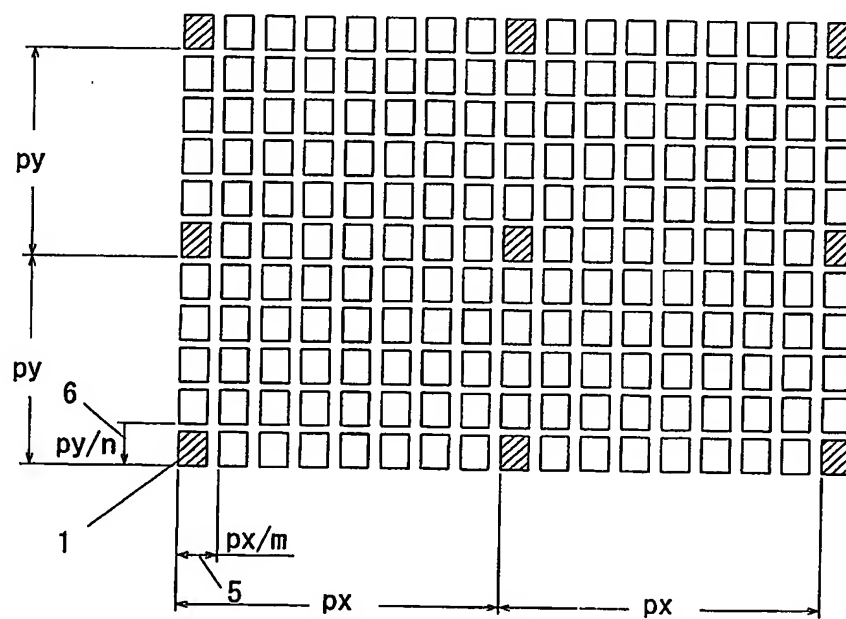


Fig14

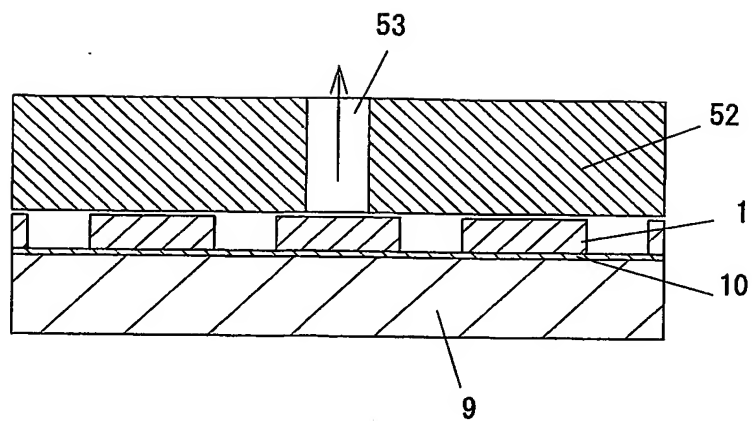


Fig15

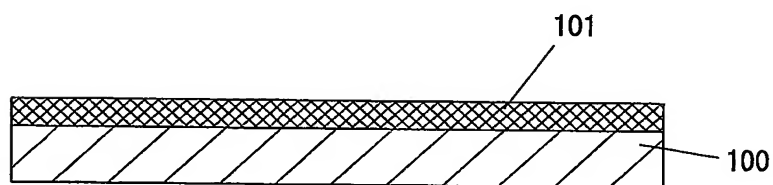


Fig16

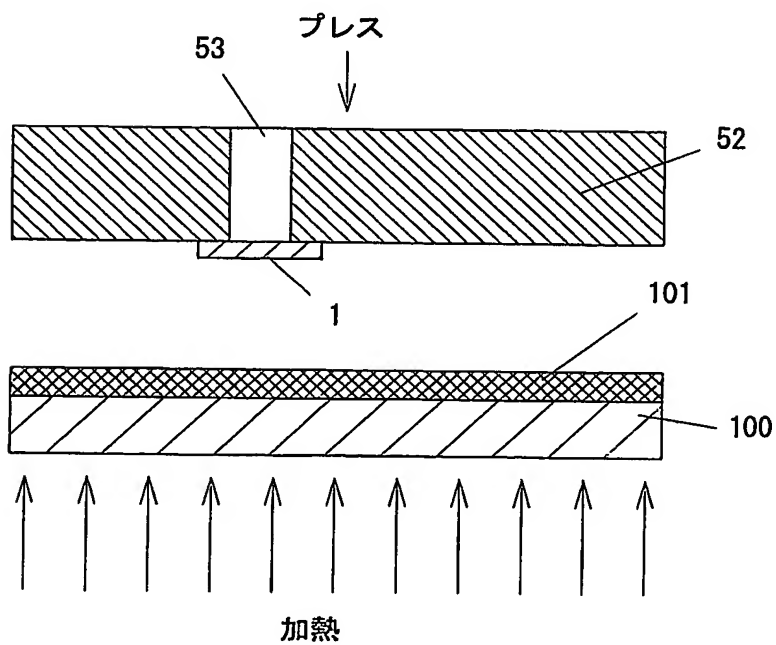


Fig17

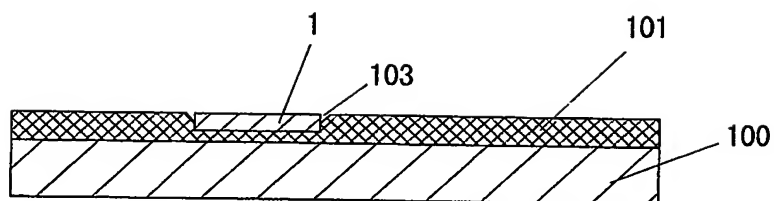


Fig18

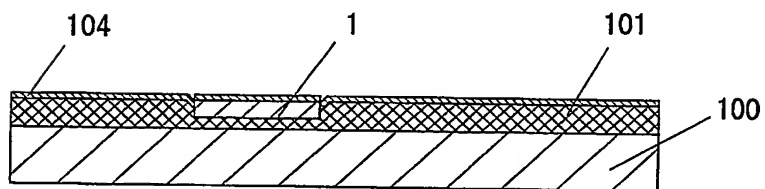


Fig19

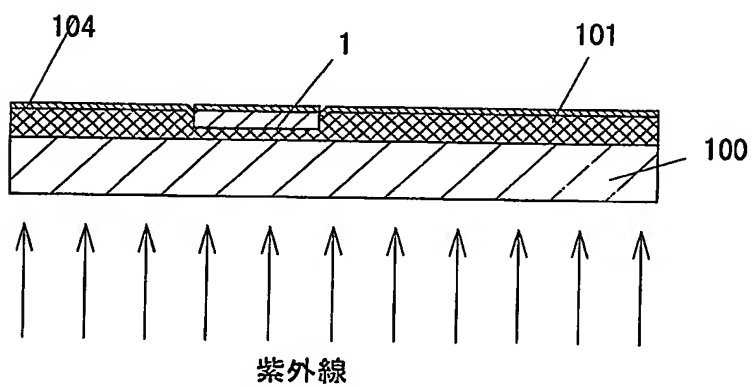


Fig20

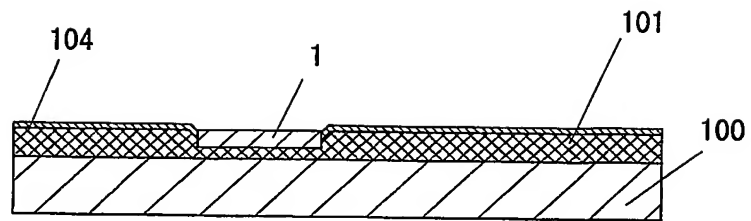


Fig21

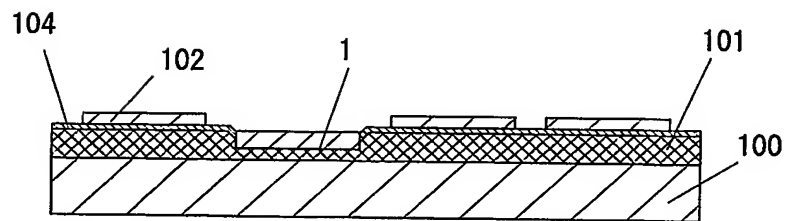


Fig22

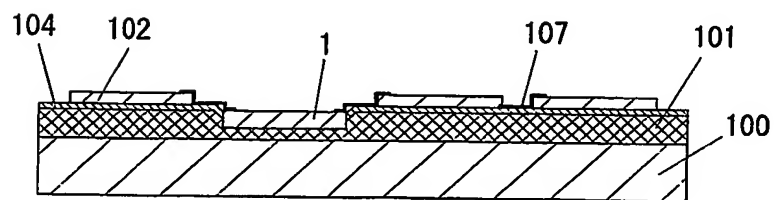


Fig23

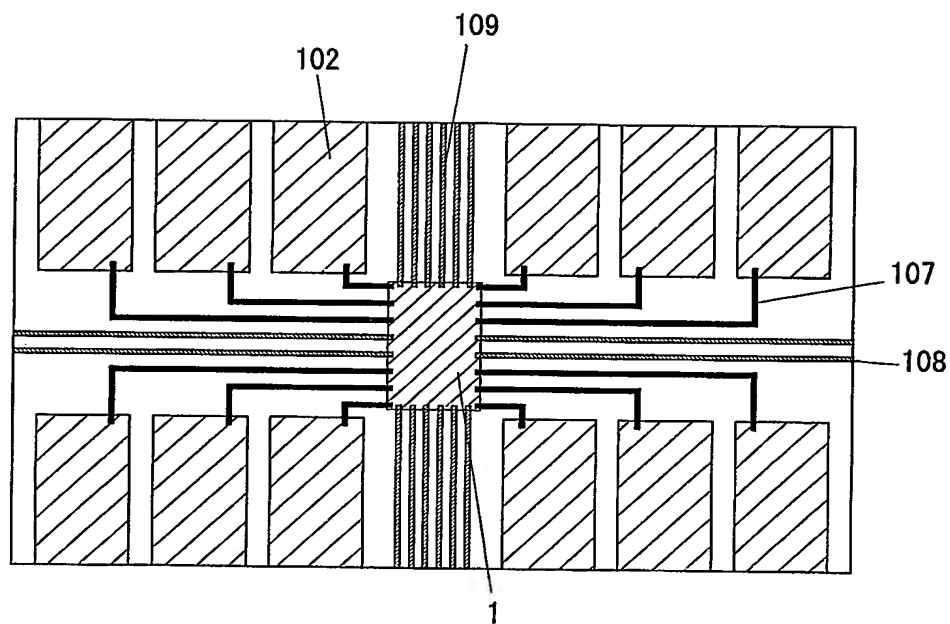


Fig24

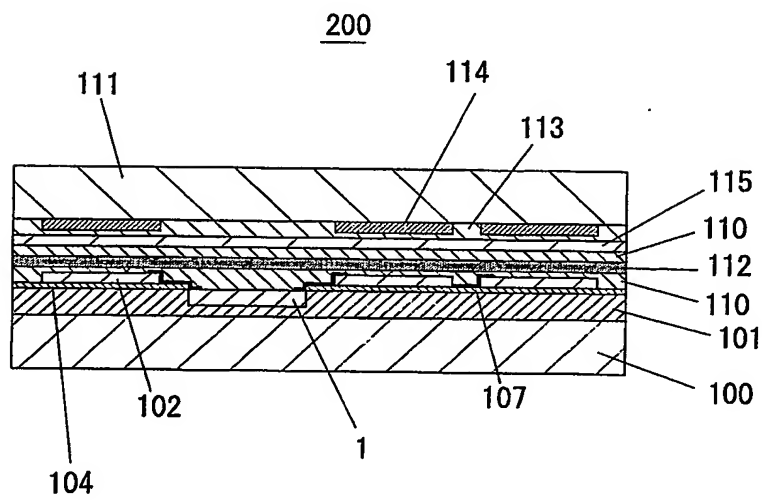


Fig25

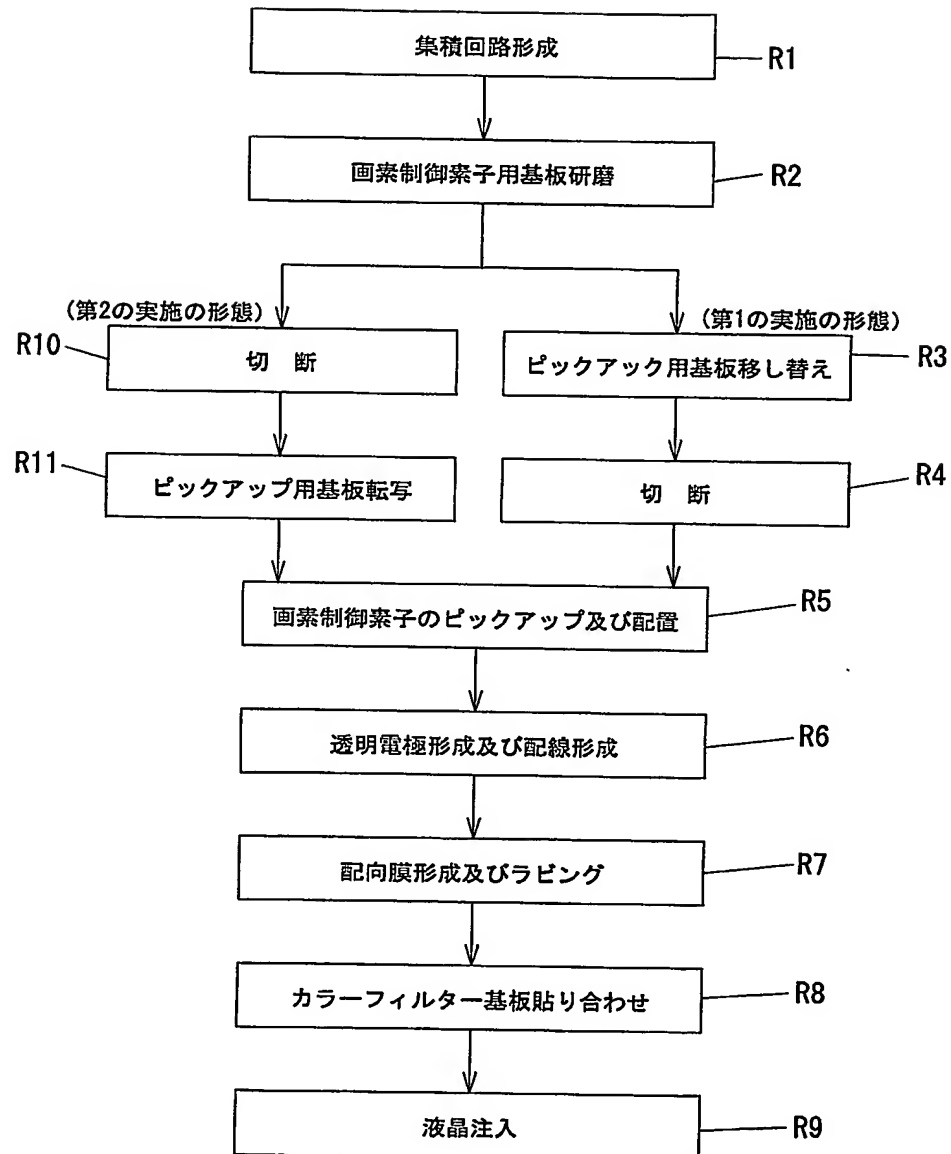


Fig26

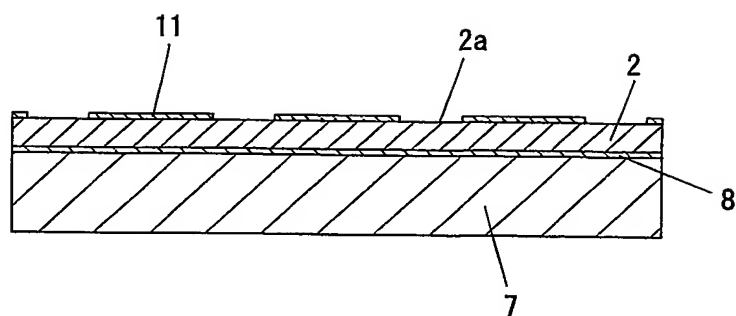


Fig27

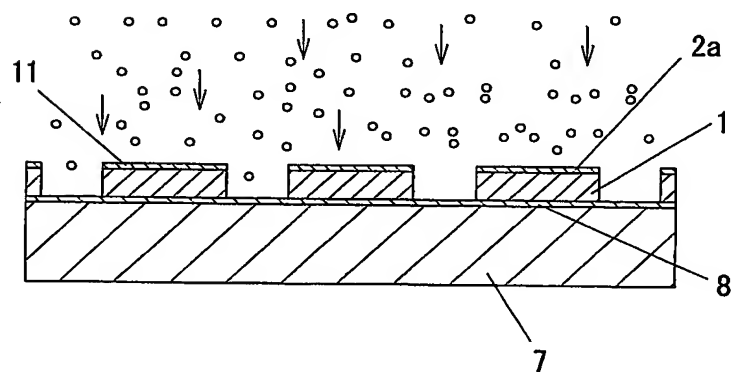


Fig28

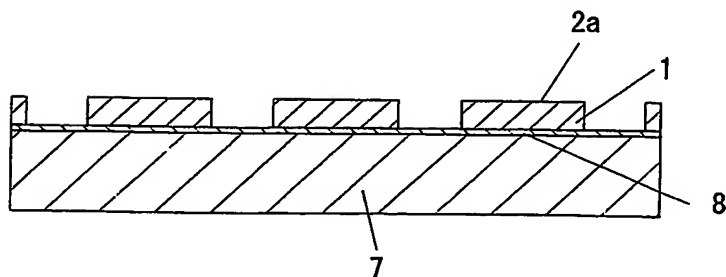


Fig29

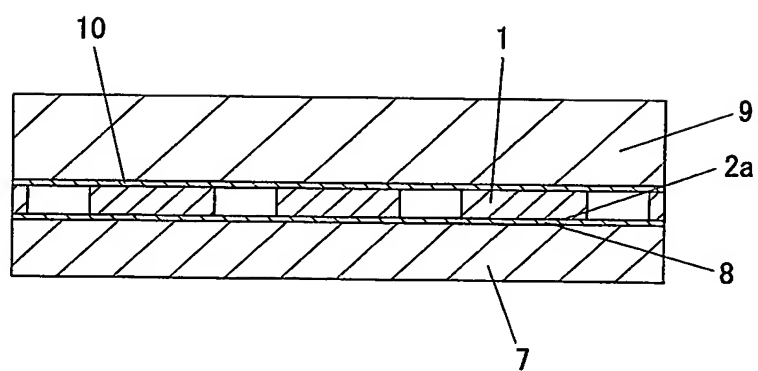


Fig30

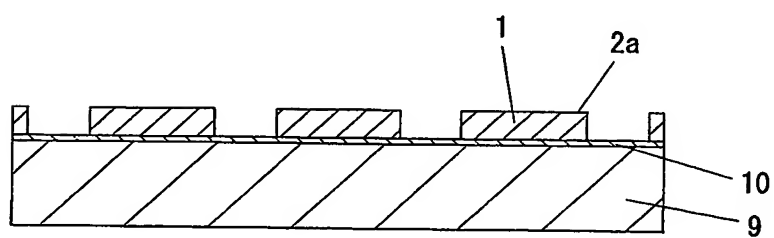


Fig31

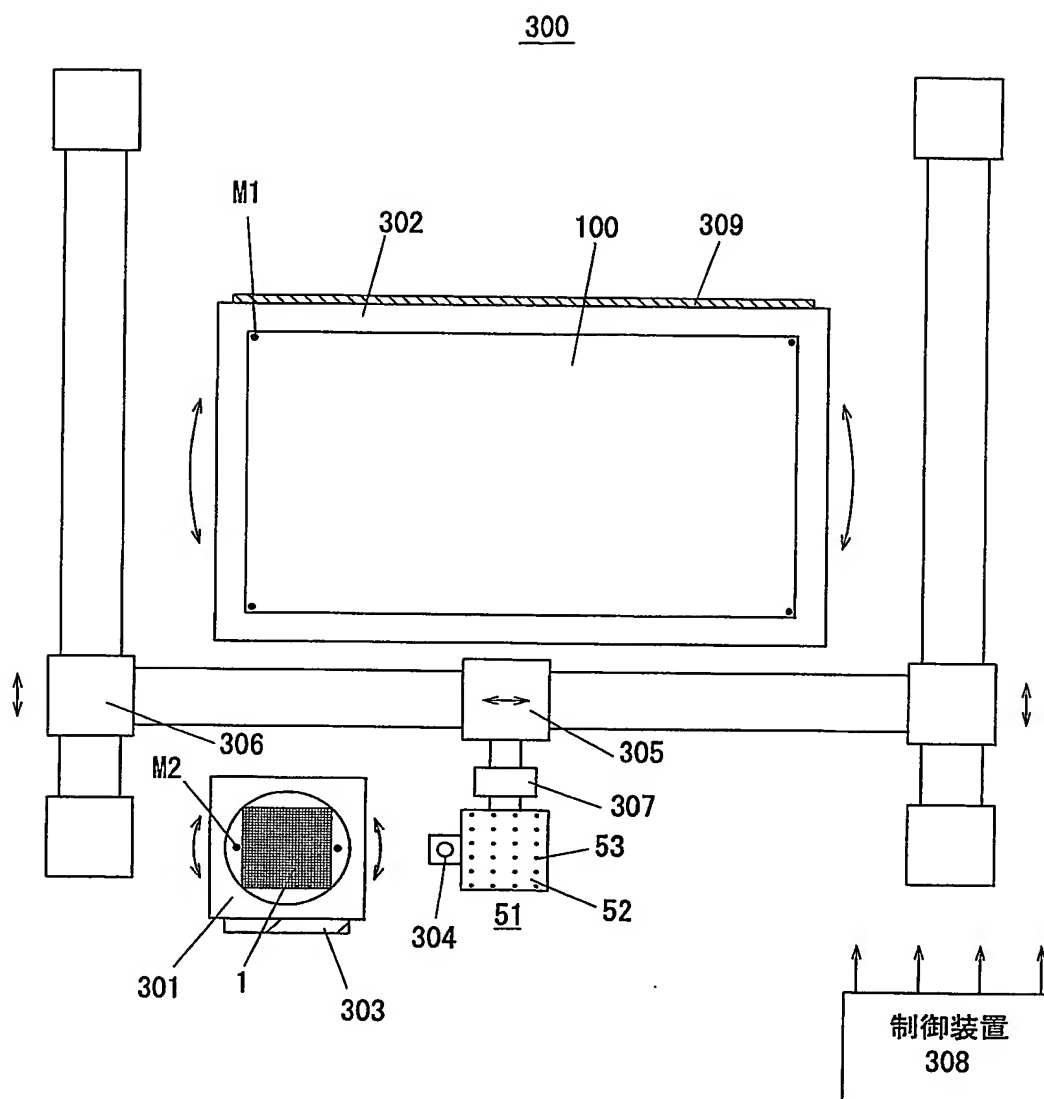


Fig32 (a)

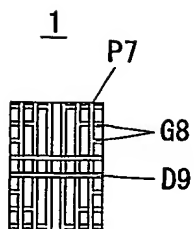


Fig32 (b)

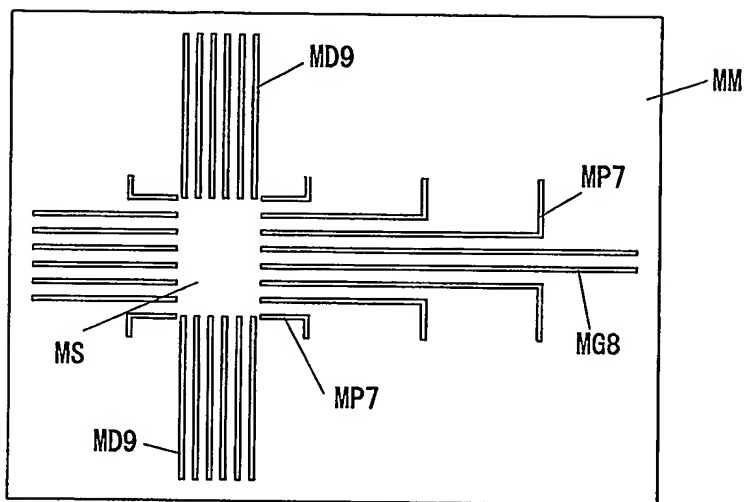


Fig32 (c)

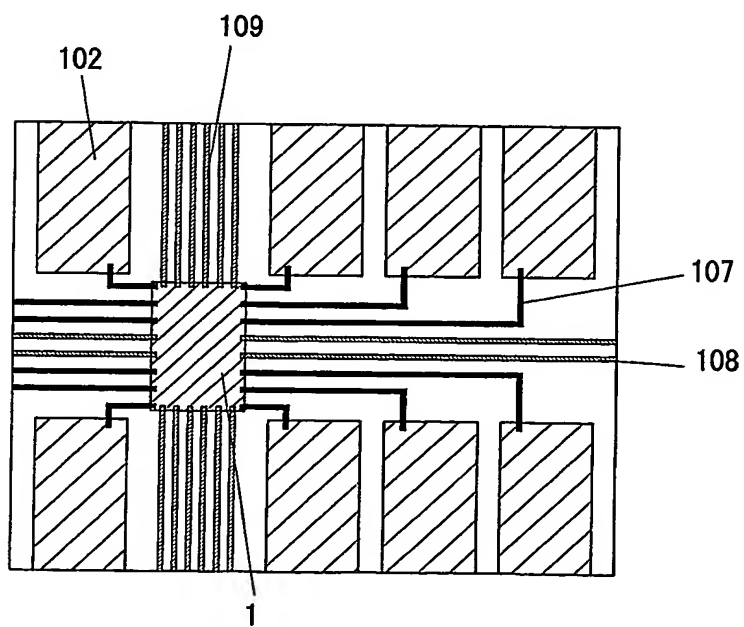


Fig33

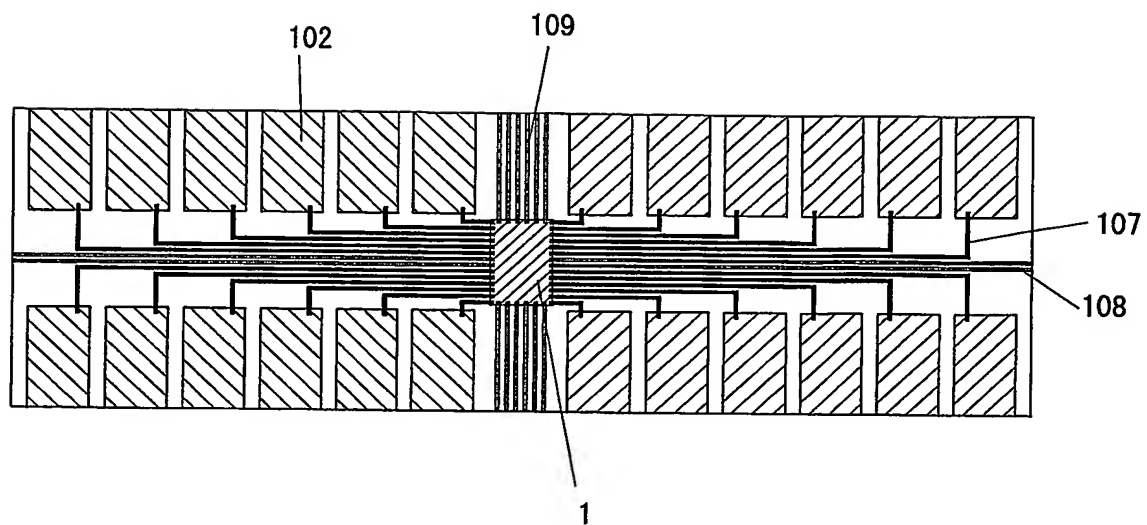


Fig34

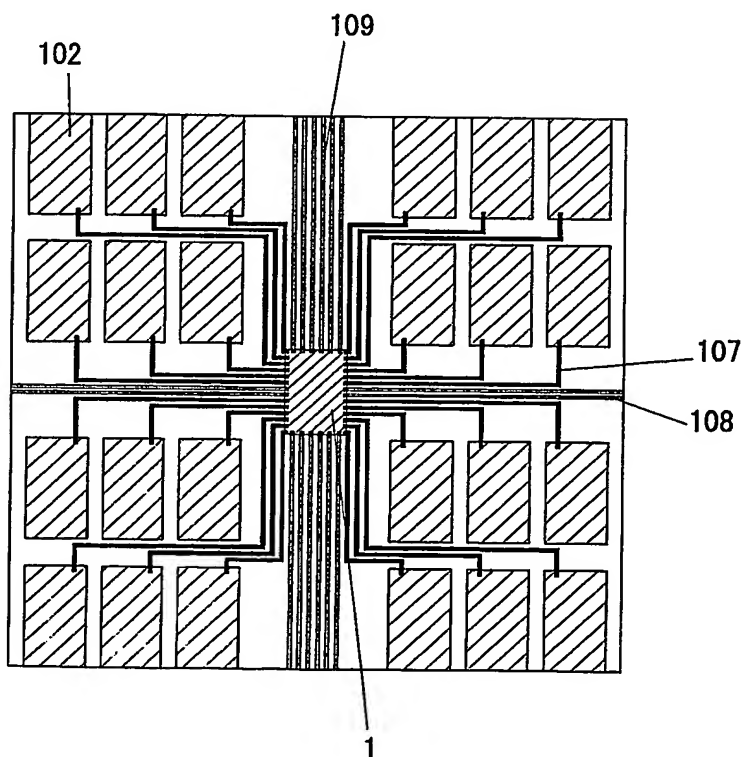


Fig35(a)

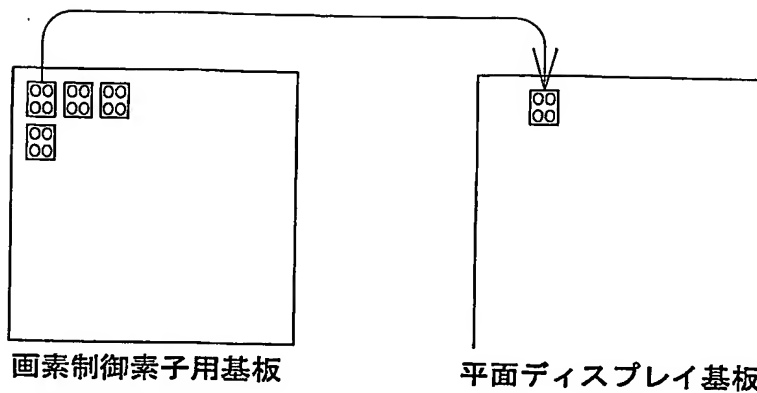
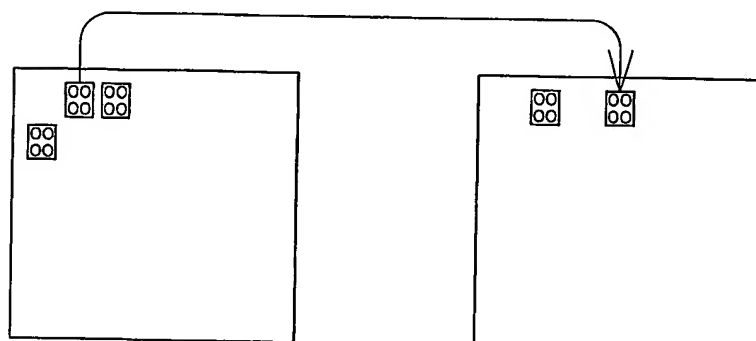
転写
1回目転写
2回目

Fig35(b)

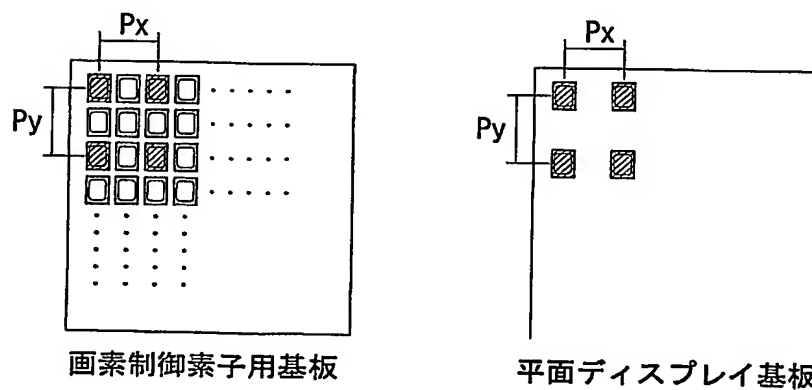
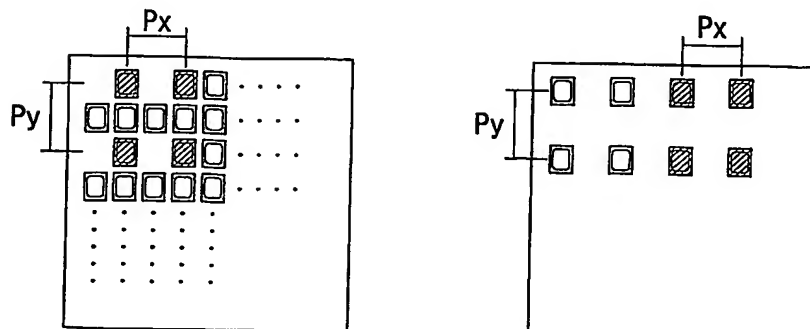
転写
1回目転写
2回目

Fig36(a)

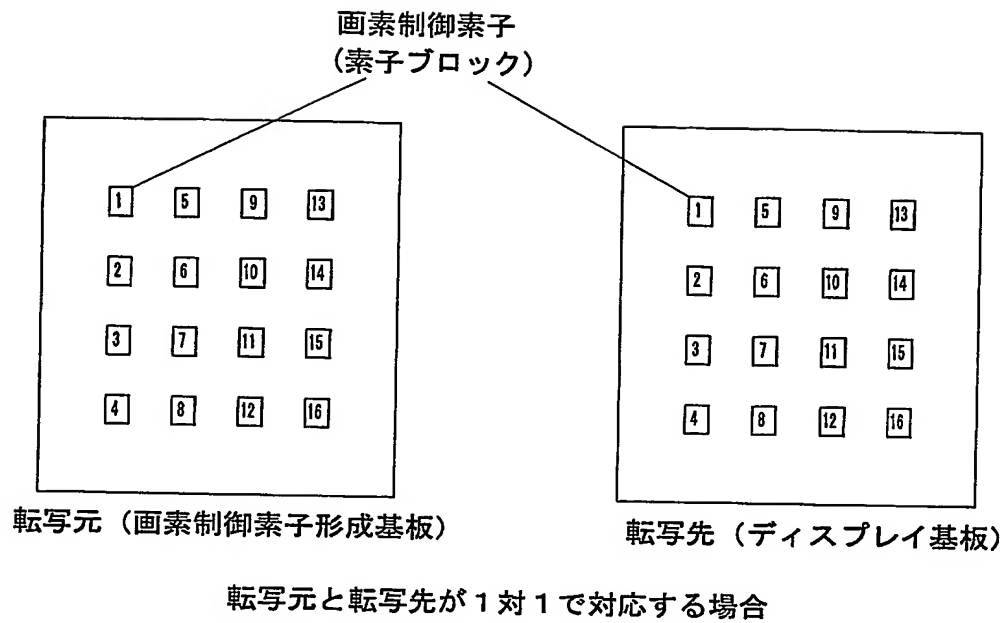
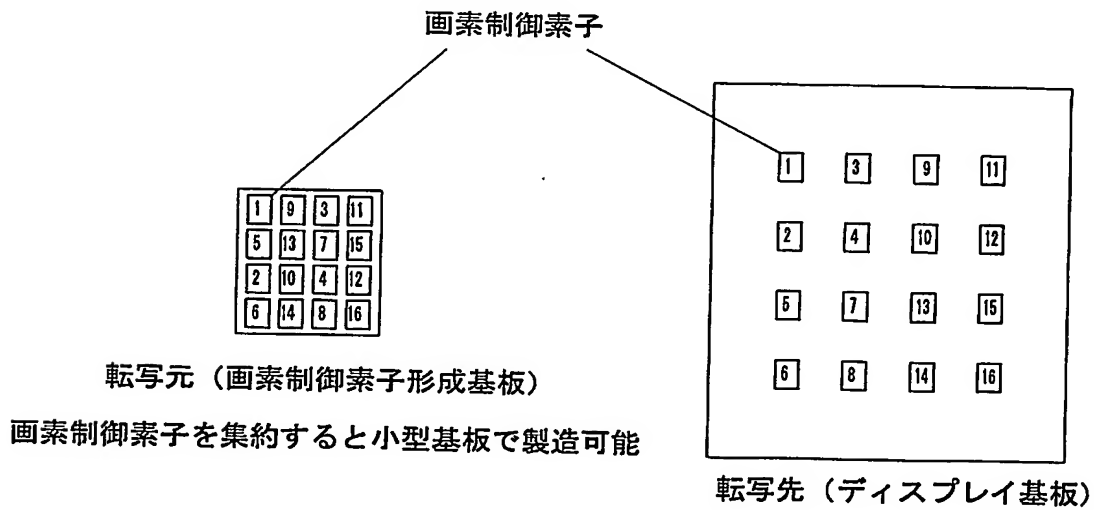


Fig36(b)



本願での画素制御素子の転写

Fig37

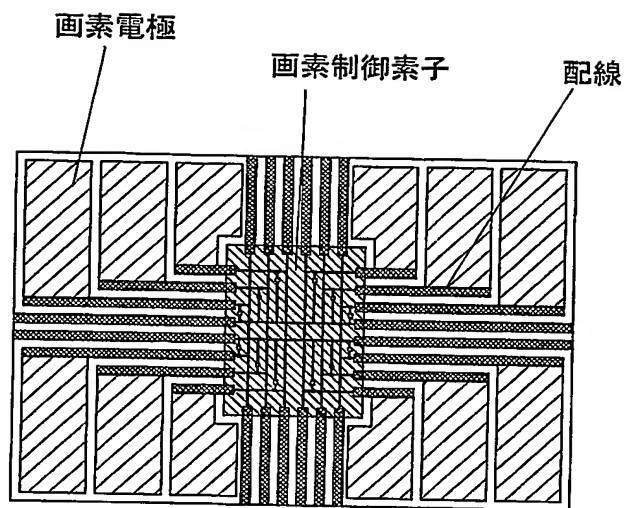
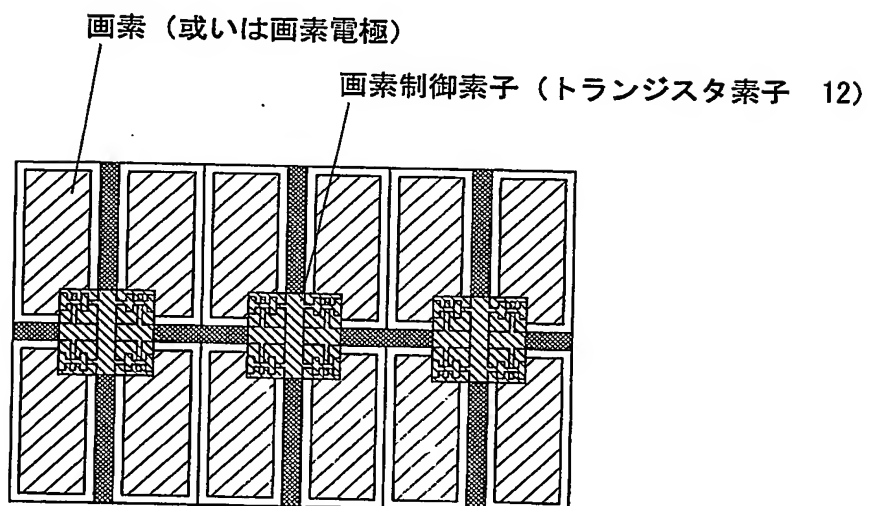


Fig38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14702

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09F9/30, G02F1/1368, H05B33/10, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09F9/30-9/46, G02F1/1343-1/1345; 1/135-1/1368,
H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A Y	JP 2002-244576 A (Sony Corp.), 30 August, 2002 (30.08.02), Full text; all drawings (Family: none)	1-8 9-13
A	JP 2002-158237 A (Sony Corp.), 31 May, 2002 (31.05.02), Full text; all drawings (Family: none)	1-13
A	JP 2001-332680 A (Sharp Corp.), 30 November, 2001 (30.11.01), Full text; all drawings (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"X"

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
20 January, 2004 (20.01.04)Date of mailing of the international search report
03 February, 2004 (03.02.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30、G02F1/1368、H05B33/10、H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09F9/30-9/46、G02F1/1343-1/1345;1/135-1/1368
H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A Y	J P 2002-244576 A (ソニー株式会社) 2002. 08. 30 全文、全図 (ファミリーなし)	1-8 9-13
A	J P 2002-158237 A (ソニー株式会社) 2002. 05. 31 全文、全図 (ファミリーなし)	1-13
A	J P 2001-332680 A (シャープ株式会社) 2001. 11. 30 全文、全図 (ファミリーなし)	1-13

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

20. 01. 04

国際調査報告の発送日

03. 2. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

星 野 浩

印

2M

8602

電話番号 03-3581-1101 内線 3273